



日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

08/246,582  
5/19/94  
2511

Seiji SAWADA  
et al.

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日

Date of Application:

1993年 5月25日

出願番号

Application Number:

平成 5年特許願第122439号

願 人

Applicant(s):

三菱電機株式会社

RECEIVED

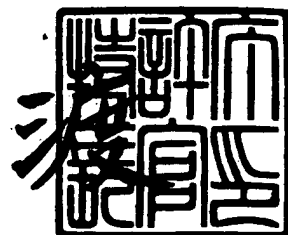
1 JUN 29 1994

GROUP 2500

1993年 7月30日

特許庁長官  
Commissioner.  
Patent Office

麻生



【書類名】 特許願

【整理番号】 AP141120

【提出日】 平成 5年 5月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00

【発明の名称】 同期型半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 北伊丹製作所内

【氏名】 澤田 誠二

【発明者】

【住所又は居所】 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社 エル・エス・アイ研究所内

【氏名】 小西 康弘

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代表者】 北岡 ▲たかし▼

【代理人】

【識別番号】 100064746

【郵便番号】 530

【住所又は居所】 大阪市北区南森町2丁目1番29号 住友銀行南森町ビル

【弁理士】

【氏名又は名称】 深見 久郎

【電話番号】 06-361-2021

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 008693

【納付金額】 14,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9103052

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期型半導体記憶装置

【特許請求の範囲】

【請求項1】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

データ出力端子と、

リードモード指示に応答して、前記データ出力端子への順次転送のため、予め定められた複数のメモリセルのデータを同時に読出す読出手段と、

テストモード指示に応答して、前記読出手段により読出された前記複数のメモリセルのデータに所定の演算を施して1ビットのデータに縮退して出力する縮退手段とを備える、同期型半導体記憶装置。

【請求項2】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

複数のデータ出力端子と、

前記複数のデータ出力端子それぞれに対して設けられ、各々がリードモード指示に応答して、対応のデータ出力端子への順次転送のため、予め定められた複数のメモリセルのデータを同時に読出す複数の読出手段と、

前記複数の読出手段に対応して設けられ、テストモード指示に応答して、前記複数の読出手段の各々が読出した複数のメモリセルのデータに所定の演算を施し、対応の読出手段の読出した複数のメモリセルのデータを1ビットのデータに縮退する複数の縮退手段と、

各前記縮退手段の出力をそれぞれ対応のデータ出力端子に出力する出力手段とを備える、同期型半導体記憶装置。

【請求項3】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

複数のデータ出力端子と、

前記複数のデータ出力端子それぞれに対して設けられ、リードモード指示に回答して各々が予め定められた複数のメモリセルのデータを同時に読出す複数の読出手段と、

テストモード指示に応答して、前記複数の読出手段が読出したメモリセルのデータに所定の演算を施して1ビットのデータに縮退する縮退手段と、

前記縮退手段の出力を前記複数のデータ出力端子のうちの特定のデータ出力端子に出力する出力手段とを備える、同期型半導体記憶装置。

【請求項4】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

各々がメモリセルアレイを有しかつ互いに独立に対応のメモリセルアレイの活性化およびプリチャージが可能な複数のバンクと、

前記複数のバンクに共通に設けられるデータ出力端子と、

前記複数のバンク各々において設けられ、リードモード指示に応答して、前記データ出力端子への順次転送のため、対応のメモリセルアレイから予め定められた複数のメモリセルのデータを同時に読出す読出手段と、

前記複数のバンク各々において設けられ、テストモード指示に応答して対応の読出手段が読出した複数のメモリセルのデータに所定の演算を施して1ビットのデータに縮退する複数の第1の縮退手段と、

前記複数の第1の縮退手段の出力にさらに所定の演算を施して1ビットのデータに縮退して前記データ出力端子へ出力する第2の縮退手段とを備える、同期型半導体記憶装置。

【請求項5】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

各々がメモリセルのアレイを有しかつ互いに独立に対応のメモリセルアレイの活性化およびプリチャージが可能な複数のバンクと、

前記複数のバンクに共通に設けられる複数のデータ出力端子と、

各前記バンクに対して前記複数のデータ出力端子各々に対応して設けられ、リードモード指示に応答して対応のデータ出力端子への順次転送のため、対応のメモリセルアレイから同時に予め定められた複数のメモリセルのデータを読出す複数の読出手段と、

各前記バンクに対して設けられ、前記複数の読出手段が読出したメモリセルのデータに第1の演算を施して1ビットのデータに縮退する複数の第1の縮退手段

と、

前記複数の第1の縮退手段の出力に第2の演算を施して1ビットデータに縮退して出力する第2の縮退手段とを備える、同期型半導体記憶装置。

【請求項6】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

データ入力端子と、

前記データ入力端子へ順次与えられるデータを書込むため、予め定められた複数のメモリセルを同時に選択する選択手段と、

テストモード指示に応答して、前記選択手段により選択されたメモリセルへ、前記データ入力端子へ1クロックサイクル内に与えられたテストデータを同時に書込む書込手段とを備える、同期型半導体記憶装置。

【請求項7】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

複数のデータ入力端子と、

前記複数のデータ入力端子それぞれに対して順次与えられるデータを書込むため、前記複数のデータ入力端子各々に対して予め定められた数のメモリセルのグループを同時に選択する選択手段と、

テストモード指示に応答して、前記複数のデータ入力端子へ1クロックサイクルでそれぞれ与えられたテストデータを前記選択手段により選択された前記予め定められた数のメモリセルの対応のグループへ同時に書込む書込手段とを備える、同期型半導体記憶装置。

【請求項8】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

複数のデータ入力端子と、

前記複数のデータ入力端子各々に対して所定数のメモリセルを同時に選択する選択手段と、

テストモード指示に応答して、前記複数のデータ入力端子のうちの特定のデータ入力端子へ1クロックサイクルで与えられるテストデータを前記選択手段により選択されたメモリセルへ同時に書込む書込手段とを備える、同期型半導体記憶

装置。

【請求項9】 一連のパルス列からなるクロック信号に同期して外部信号を取込む同期型半導体記憶装置であって、

各々がメモリセルのアレイを含みかつ互いに独立に対応のメモリセルのアレイの活性化およびプリチャージが可能な複数のバンクと、

テストモード指示に応答して前記複数のバンクを同時に活性状態とする活性化手段とを備える、同期型半導体記憶装置。

【請求項10】 複数のメモリセルを有するメモリセルアレイと、

前記メモリセルアレイから同時に所定数のメモリセルのデータを読出す読出手段と、

前記読出手段により読出された所定数のメモリセルのデータがそれぞれのゲートへ与えられる、互いに並列に第1の信号線に接続される複数のNチャネル絶縁ゲート型電界効果トランジスタを有する第1のワイヤード回路と、

前記読出手段から読出した所定数のメモリセルのデータがそれぞれのゲートへ与えられる、互いに並列に第2の信号線に接続される複数のPチャネル絶縁ゲート型電界効果トランジスタを有する第2のワイヤード回路と、

前記第1および第2のワイヤード回路の出力に所定の論理演算を施す論理手段とを備える、同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

この発明は、外部クロック信号に同期して制御信号、アドレス信号および書込データを含む外部信号を取込む同期型半導体記憶装置に関し、特に、メモリセルの良／不良を判定するテストを容易かつ高速に行なうための構成に関する。

【0002】

【従来の技術】

マイクロプロセサ（MPU）は近年ますます高速化されてきている。一方、主記憶として用いられるダイナミック・ランダム・アクセス・メモリ（以下、DRAMと称す）は高速化されてきてはいるものの、その動作速度は依然MPUの

動作速度に追従することができない。このため、DRAMのアクセスタイムおよびサイクルタイムがボトルネックとなり、システム全体の性能が低下するということがよく言われる。

#### 【0003】

システムの性能を向上させるために、DRAMとMPUとの間に高速のスタティック・ランダム・アクセス・メモリ（以下、SRAMと称す）からなるキャッシュメモリと呼ばれる高速メモリを配置する手法がよく用いられる。キャッシュメモリに使用頻度の高いデータを格納する。MPUが必要とするデータがキャッシュメモリ内に記憶されている場合には高速のキャッシュメモリへアクセスする。キャッシュメモリにMPUが要求するデータがないときのみDRAMへアクセスする。使用頻度の高いデータが高速のキャッシュメモリに格納されているため、DRAMへのアクセス頻度が大幅に低減され、これによりDRAMのアクセスタイムおよびサイクルタイムの影響を排除してシステムの性能を向上させる。

#### 【0004】

このキャッシュメモリを用いる方法は、SRAMがDRAMに比べて高価であるため、パーソナルコンピュータなどの比較的安価な装置には適していない。したがって、安価なDRAMを用いてシステムの性能を向上させることが求められている。

#### 【0005】

##### 【発明が解決しようとする課題】

高速動作するDRAMの1つとして、たとえばシステムクロックである高速の外部クロック信号に同期して動作する同期型DRAM（シンクロナスDRAM：以下、SDRAMと称す）が現在提案されている。米国JEDEC（Joint Electron Device Engineering Council）は、高速MPUのための主記憶としてSDRAMを採用し、その仕様の標準化作業を現在行なっている。この標準仕様の詳細については明らかにされていないが、以下の構成が提案されている：

- （1） 周期10ないし15ns（ナノ秒）のクロック信号で同期をとる。

#### 【0006】

- （2） 最初のランダム・アクセスでは、行アドレス信号入力後4ないし6ク



ロックでデータをアクセスする。その後、1クロックごとに連続するアドレスのデータをアクセスすることができる。

【0007】

(3) チップ内回路をパイプライン動作させ、またシリアル入出力バッファをデータ入出力部に設けてアクセス時間を短縮する。

【0008】

上述の構成は単に案だけであり、具体的にどのようにこれらを実現するかについては何ら述べられていない。

【0009】

また、SDRAMの良／不良を判定するためのテストモードを設けることも提案されている。しかしながら、どのようにテストを実行するかおよびどのような構成を用いてテストを行なうかについては何ら具体的には規定されていない。

【0010】

それゆえ、この発明の目的はテストを効率的に行なうことのできるSDRAMを提供することである。

【0011】

この発明の他の目的は、短い時間で効率的にテストを行なうことのできる半導体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

請求項1に係るSDRAMは、データ出力端子と、このデータ出力端子への順次転送のため、リードモード指示に応答して予め定められた複数のメモリセルのデータを同時に読出す読出手段と、テストモード指示に応答して、この読出手段により読出された複数のメモリセルのデータに所定の演算を施して1ビットのデータに縮退して出力する縮退手段を備える。

【0013】

請求項2に係るSDRAMは、互いに並列にデータを出力するための複数のデータ出力端子と、これら複数のデータ出力端子それぞれに対して設けられ、リードモード指示に応答して、対応のデータ出力端子へのデータ転送のため、各々が

予め定められた複数のメモリセルのデータを同時に読出す複数の読出手段と、各読出手段に対して設けられテストモード指示に応答して、これら複数の読出手段各々が読出した複数のメモリセルのデータに所定の演算を施し、各複数のメモリセルのデータを1ビットデータに縮退する複数の縮退手段と、これらの縮退手段の出力をそれぞれ対応のデータ出力端子に出力する手段とを備える。

#### 【0014】

請求項3に係るSDRAMは、複数のデータ出力端子と、これら複数のデータ出力端子それぞれに対して設けられ、リードモード指示に応答して、対応のデータ出力端子へのデータ転送のため各々が予め定められた複数のメモリセルのデータを同時に読出す複数の読出手段と、これら複数の読出手段が読出したメモリセルのデータに対し所定の演算を施して1ビットのデータに縮退する縮退手段と、この縮退手段の出力を複数のデータ出力端子のうちの特定のデータ出力端子に出力する手段とを備える。

#### 【0015】

請求項4に係るSDRAMは、各々がメモリセルアレイを有しかつ互いに独立に関連のメモリセルアレイの活性化およびプリチャージが可能な複数のバンクと、これら複数のバンクに共通に設けられるデータ出力端子と、これら複数のバンク各々において設けられ、リードモード指示に応答してデータ出力端子への順次転送のため、予め定められた複数のメモリセルのデータを同時に読出す読出手段と、複数のバンク各々に対して設けられ、テストモード指示に応答して読出手段により読出された複数のメモリセルのデータに所定の演算を施して1ビットのデータに縮退する複数の第1の縮退手段と、これら複数の第1の縮退手段の出力に所定の第2の演算を施して1ビットデータに縮退してデータ出力端子へ出力する第2の縮退手段とを備える。

#### 【0016】

請求項5に係るSDRAMは、各々がメモリセルアレイを有しかつ互いに独立に関連のメモリセルアレイの活性化およびプリチャージが可能な複数のバンクと、これら複数のバンクに共通に設けられる複数のデータ出力端子と、各バンクに対して、複数のデータ出力端子それぞれに対応して設けられ、リードモード指示

に応答して対応のデータ出力端子へのデータの順次転送のため、対応のメモリセルアレイから同時に複数のメモリセルのデータを読出す複数の読出手段と、各バンクに対して設けられ、対応のバンクの複数の読出手段により読出された複数のメモリセルのデータに第1の演算を施して1ビットデータに縮退する複数の第1の縮退手段と、これら複数の第1の縮退手段の出力に第2の演算を施して1ビットデータに縮退して出力する第2の縮退手段とを備える。

#### 【0017】

請求項6に係るSDRAMは、データ入力端子と、このデータ入力端子へ順次与えられたデータを書込むため、所定数のメモリセルを同時に選択する選択手段と、テストモード指示に応答してこの選択手段により同時に選択されたメモリセルへ、データ入力端子へ1クロックサイクル内で与えられたテストデータを同時に書込む書込手段とを備える。

#### 【0018】

請求項7に係るSDRAMは、複数のデータ入力端子と、これら複数のデータ入力端子それぞれに対し順次与えられるデータを書込むため、これら複数のデータ入力端子各々に対して所定数のメモリセルを同時に選択する選択手段と、テストモード指示に応答して、複数のデータ入力端子各々へ1クロックサイクル内に与えられたテストデータを対応の所定数のメモリセルへ同時に書込む書込手段とを備える。

#### 【0019】

請求項8に係るSRAMは、複数のデータ入力端子と、これら複数のデータ入力端子各々に対して所定数のメモリセルを同度を選択する選択手段と、テストモード指示に応答して、これら複数のデータ入力端子のうちの特定のデータ入力端子へ1クロックサイクル内に与えられたテストデータを選択手段が選択したメモリセルへ同時に書込む書込手段とを備える。

#### 【0020】

請求項9に係るSDRAMは、各々がメモリセルのアレイを含みかつ互いに独立に関連のメモリセルアレイの活性化およびプリチャージが可能な複数のバンクと、テストモード指示に応答してこれら複数のバンクを同時に活性状態とする活

性化手段とを備える。

【0021】

請求項10に係る半導体記憶装置は、メモリセルのアレイと、このメモリセルのアレイから同時に複数のメモリセルのデータを読出す読出手段と、それぞれのゲートに読出手段が同時に読出した複数のメモリセルのデータが与えられる、互いに並列に第1の信号線に接続される複数のNチャネル絶縁ゲート型電界効果トランジスタを有する第1のワイヤード回路と、それぞれのゲートに読出手段から読出した複数のメモリセルのデータが与えられる、互いに並列に第2の信号線に接続される複数のPチャネル絶縁ゲート型電界効果トランジスタを有する第2のワイヤード回路と、第1および第2のワイヤード回路の出力に論理演算を施す論理手段とを備える。

【0022】

【作用】

請求項1に係る発明においては、同時に選択された複数のメモリセルのデータが縮退手段により1ビットデータに縮退されて出力される。したがって、複数のメモリセルに対して同時にテストを行なうことができ、テスト時間を短縮することができる。

【0023】

請求項2に係る発明においては、複数ビット並列データを出力する構成においても、各データ出力端子について複数のメモリセルのデータが縮退手段により1ビットのデータに縮退され、対応のデータ出力端子に出力される。したがって、複数のメモリセルのテストを同時に行なうことができ、テスト時間を短縮することができる。

【0024】

請求項3に係る発明においては、複数のメモリセルのテスト結果が縮退手段により1ビットデータに縮退された後、特定のデータ出力端子を介して出力されるため、複数のメモリセルを同時にテストすることができ、テスト時間を短縮することができる。

【0025】

請求項4に係る発明においては、複数のバンク各々において同時に選択された複数のメモリセルのテストを第1の縮退手段により同時に行なうことができ、かつ第2の縮退手段により複数のバンクのテストを同時に実行することができ、テスト時間を短縮して効率的にテストを行なうことができる。

【0026】

請求項5に係る発明においては、複数のバンクにおいて第1の縮退手段により複数のメモリセルに対するテストが同時に実行され、かつ第2の縮退手段により複数のバンクに対し同時にテストが実行されるため、効率的にテストを行なってテスト時間を短縮することができる。

【0027】

請求項6に係る発明においては、テストモード時には複数のメモリセルへ同一データが同時に書込まれるため、テストデータの書込に要する時間を大幅に短縮することができる。

【0028】

請求項7に係る発明においては、多ビット入力構成であっても、各データ入力端子を介して関連の複数のメモリセルへ同時にテストデータが書込まれるため、1クロックサイクルでテストデータの書込を行なうことができ、テスト時間を大幅に短縮することができる。

【0029】

請求項8に係る発明においては、同時に選択された複数のメモリセルへ同一のテストデータが同時に書込まれるため、テストデータ書込時間を短縮することができる。

【0030】

請求項9に係る発明においては、テストモード時に複数のバンクが同時に活性状態とされるため、複数のバンクにおいて同時にデータの書込および読出を行なうことができ、テスト時間を短縮することができる。

【0031】

請求項10に係る発明においては、第1および第2のワイヤード回路により複数のメモリセルのデータが縮退されるため、少ない素子数で効率的にデータの縮

退を行なうことができ、小占有面積で複数のメモリセルのテストを同時に行なうことのできる回路を実現することができる。

【0032】

【実施例】

〔チップレイアウト〕

図1はこの発明が適用されるSDRAMのチップレイアウトを示す図である。図1においては、一例として、2Mワード×8ビット構成の16MビットSDRAMのチップレイアウトが示される。SDRAMは、各々が4Mビットの記憶容量を有する4つのメモリマットMM1ないしMM4を含む。メモリマットMM1ないしMM4の各々は、それぞれ256Kビットの記憶容量を有する16個のメモリアレイMA1～MA16を含む。

【0033】

メモリマットMM1ないしMM4の一方側にチップ長辺方向に沿ってロウデコーダRD1～RD4がそれぞれ配置される。

【0034】

また、メモリマットMM1ないしMM4のチップ中央側に、チップ短辺方向に沿ってコラムデコーダCD1ないしCD4がそれぞれ配置される。コラムデコーダCD（コラムデコーダCD1ないしCD4を総称的に示す場合、符号CDを用いる）の各出力に対応して、対応のメモリマットMM（メモリマットMM1ないしMM4を総称的に示す）の各アレイを横切って延びる列選択線CSLが配置される。1本の列選択線CSLは、後に詳細に説明するように、8つのビット線対BLPを同時に選択状態とする。

【0035】

内部データを伝達するためのグローバルIO線対GIOが、メモリマットMMの長辺方向に沿って各アレイを横切るように配置される。

【0036】

メモリマットMM1ないしMM4各々に対して、チップ中央側に、選択されたメモリセルのデータの増幅を行なうためのプリアンプPAと選択されたメモリセルへの書込データを伝達するためのライトバッファWBとからなる入出力回路P

W1～PW4が配置される。

#### 【0037】

チップ中央部には、また、アドレス信号を発生するための回路および制御信号を発生するための回路などを含む周辺回路PHが配置される。

#### 【0038】

図1に示すSDRAMは、互いに独立にプリチャージ動作および活性化動作を行なうことのできる2つのバンク#1および#2を備える。バンク#1は、たとえばメモリマットMM1およびMM2を含み、バンク#2はメモリマットMM3およびMM4を含む。

#### 【0039】

このメモリマットMM1ないしMM4各々は、2つのアレイブロック（記憶容量が2Mビット）を備える。1つの記憶容量2Mビットのアレイブロックは、メモリアレイMA1ないしMA8から構成され、他方の2Mビットアレイブロックは、メモリアレイMA9ないしMA16から構成される。

#### 【0040】

1つのアレイブロックにおいて最大1つのメモリアレイが選択される。同時に活性化されるメモリアレイの数は4個である。図1において、メモリマットMM3のメモリアレイMA1およびMA9と、メモリマットMM4のメモリアレイMA1とMA9とが活性化された状態が示される。すなわち、選択されたバンクにおいて、各メモリマットのアレイブロックから1つのメモリアレイが選択される。

#### 【0041】

同時に選択された列選択線CSLの数は8本である。1本の列選択線CSLは8対のビット線を選択する。したがって、同時に $8 \times 8 = 64$ ビットのメモリセルが選択される。

#### 【0042】

入出力回路PW（入出力回路PW1～PW4を総称的に示す）は、対応のメモリマットMMの各メモリアレイに対し共通に設けられる。1つの入出力回路PWに含まれるプリアンプPAおよびライトバッファWBの数はそれぞれ32個であ

り、SDRAM全体ではそれぞれ128個である。

#### 【0043】

図2は、図1に示すSDRAMのIO線の配置を具体的に示す図である。図2においては、2つの2MビットメモリアレイMSA1およびMSA2が示される。2MビットメモリアレイMSA1は、チップ中央部から遠い位置に配置される2Mビットアレイブロックであり、2MビットメモリアレイMSA2は、チップ中央部に近い2Mビットアレイブロックを示す。

#### 【0044】

2MビットメモリアレイMSA1およびMSA2は、ともに、8行8列に配置された64個の32KビットメモリアレイMKを含む。2MビットメモリアレイMSA（メモリアレイMSA1およびMSA2を総称的に示す）は、ワード線WLの延びる方向に沿って4つのアレイグループAG1、AG2、AG3およびAG4に分割される。ワード線WLの延びる方向に沿って隣接する32KビットメモリアレイMKの間にはワード線シャント領域WSが設けられる。

#### 【0045】

通常、DRAMにおいては、ワード線の抵抗を下げるために、ポリシリコンで構成されるワード線WLと平行に、アルミニウムなどの低抵抗の金属配線を配置し、このポリシリコンワード線と低抵抗金属配線とを所定の間隔で電氣的に接続する。この電氣的に接続する領域をワード線シャント領域と称する。通常、この低抵抗金属配線はビット線の上層に形成され、ワード線はビット線の下層に形成される。したがってこのワード線シャント領域はビット線の存在しない領域、すなわちメモリセルが設けられていない領域すなわちメモリアレイの間の領域に設けられる。

#### 【0046】

グローバルIO線対GIOはこのワード線シャント領域にWSに配置される。1つのワード線シャント領域WSについて、チップ中央部に近い2MビットメモリアレイMSA2の領域においては4つのグローバルIO線対が配置される。この4対のグローバルIO線のうち2つのグローバルIO線対はさらにチップ中央部より遠い2Mビットメモリアレイ領域MSA1の領域においても延在する。す



なわち、チップ中央部よりも遠い2MビットメモリアレイMSA2の領域におけるワード線シャント領域においては、2つのグローバルIO線対GIOが配設される。2つのグローバルIO線対が1つのアレイグループAGにおいて1つの2MビットメモリアレイMSAにより利用される。

#### 【0047】

選択されたメモリセルとグローバルIO線対GIOとの間でデータを転送するために、各メモリアレイMKに対してローカルIO線対LIOが設けられる。このローカルIO線対LIOは各アレイグループAG1、AG2、AG3およびAG4それぞれ独立に設けられる。1つの32KビットメモリアレイMKに対しては、その一方側に配設される2つのローカルIO線対LIOと他方側に配置される2つのローカルIO線対LIOと合計4対のローカルIO線対が配置される。

#### 【0048】

ローカルIO線対LIOは、ワード線WLの延びる方向に沿って隣接する同じアレイグループAG内の32KビットメモリアレイMKにより共有されかつビット線対BLPが延びる方向に沿って隣接する32KビットメモリアレイMKによっても共有される。

#### 【0049】

メモリアレイMKは、後にその構成を詳細に説明するように、交互配置型シェアドセンスアンプ構成を備える。ビット線対BLPの延びる方向において隣接する2つの32kビットメモリアレイMKの間の領域にセンスアンプが配置される。グローバルIO線対GIOとローカルIO線対LIOとを接続するためにブロック選択スイッチBSが配置される。ブロック選択スイッチBSは、ワード線シャント領域WSとセンスアンプ列との交点に配置される。

#### 【0050】

コラムデコーダからの列選択信号を伝達する列選択線CSLは、アレイグループAG1ないしAG4それぞれにおいて1本が選択状態とされる。1本の列選択線CSLは、チップ中央部から遠い2MビットメモリアレイMSA1において、4つのビット線対BLPを選択して対応のローカルIO線対LIOへ接続し、かつチップ中央部に近い2MビットメモリアレイMSA2において4つのビット線

対BLPを選択して対応のローカルIO線対LIOへ接続する。

#### 【0051】

すなわち、1本の列選択線CSLにより8つのビット線対BLPが選択状態とされ、ローカルIO線対LIOを介して8個のグローバルIO線対GIOに接続される。2つのメモリマットが活性状態とされ、1つのメモリマットMMにおいて $8 \times 4 = 32$ 個のビット線対BLPが選択されるため、合計64個のビット線対BLPが同時に選択されることになり、全体として合計64ビットのメモリセルに同時にアクセスすることが可能である。

#### 【0052】

図3は、列選択線とグローバルIO線対とデータ入出力端子との対応関係の一例を示す図である。図3において、8ビット単位でデータの入出力が行なわれる構成が一例として示される。図3において、1本の列選択線CSLが1つのデータ入出力端子DQに対応する。すなわち、1つの列選択線に関連する8つのグローバルIO線対GIO0～GIO7が1つのデータ入出力端子に対応する。ここで、ラップ長は、連続してアクセスされるバイトデータ（図3において符号a0、a1で示す）の数を示す。このラップ長は変更可能である。

#### 【0053】

図3に示す構成の場合、1つのアレイグループAGにおいて、プリアンプ（リードレジスタ）PAまたはライトバッファWBが後に示すラップアドレスに従って順次活性化される。

#### 【0054】

#### 【メモリセル配置】

図4は、1つの32Kビットメモリアレイに関連する部分の構成を示す図である。図4において、32KビットメモリアレイMK2は、ロウデコーダからの行選択信号が伝達されるワード線WLと、このワード線WLと交差する方向に配置されるビット線対BLPと、ワード線WLとビット線対BLPとの交差部に対応して配置されるダイナミック型メモリセルMCを含む。

#### 【0055】

メモリセルMCは、アクセス用のトランジスタと、情報記憶用のキャパシタと

を含む。ビット線対BLPは、互いに相補な信号が伝達されるビット線BLおよびBLを含む。図4においては、ビット線BLとワード線WLとの交差部に対応して配置されるメモリセルMCを示す。

#### 【0056】

メモリアレイMKの両側に、アレイ選択ゲートSAG1およびSAG2が配置される。アレイ選択ゲートSAG1とアレイ選択ゲートSAG2とはビット線対BLに関して交互に配置される。アレイ選択ゲートSAG1は、アレイ選択信号φA1に応答して導通状態となり、アレイ選択ゲートSAG2はアレイ選択信号φA2に応答して導通状態となる。ビット線対BLPはそれぞれアレイ選択ゲートSAG1およびアレイ選択ゲートSAG2を介してセンスアンプSA1およびSA2に接続される。

#### 【0057】

センスアンプSA1は、メモリアレイMK2の一方側にワード線WLと平行に配置され、センスアンプSA2はメモリアレイMK2の他方側にワード線WLと平行に配置される。すなわち、センスアンプSA1およびSA2はメモリアレイMK2のビット線対BLPに対して交互に両側に配置される。センスアンプSA1は、メモリアレイMK1とメモリアレイMK2により共有される。センスアンプSA2はメモリアレイメモリアレイMK2とメモリアレイMK2により共有される。

#### 【0058】

センスアンプSA1の列と平行に、ローカルIO線対LIO1およびLIO2が配置される。センスアンプSA2の列と平行に、ローカルIO線対LIO2およびLIO4が配置される。図4においては2つのローカルIO線対がセンスアンプSAの一方側に設けられている配置が示される。ローカルIO線対LIOは、センスアンプSAの両側にそれぞれ1つずつ配置されてもよい。

#### 【0059】

センスアンプSA1に対しこのセンスアンプSA1により検知増幅されたデータをローカルIO線対LIO1およびLIO2へ伝達するための列選択ゲートCSG1が設けられる。同様に、センスアンプSA2に対してはセンスアンプSA

2により検知増幅されたデータをローカルIO線対LIO3およびLIO4へ伝達するための列選択ゲートCSG2が設けられる。

#### 【0060】

コラムデコーダからの列選択信号を伝達する列選択線CSLは2つの列選択ゲートCSG1と2つの列選択ゲートCSG2を同時に導通状態とする。これにより4つのビット線対BLPがローカルIO線対LIO1、LIO2、LIO3およびLIO4へ同時に接続される。センスアンプSA1により検知増幅されたデータはローカルIO線対LIO1およびLIO2へ伝達される。センスアンプSA2により検知増幅されたデータはローカルIO線対LIO3およびLIO4へ伝達される。

#### 【0061】

ローカルIO線対LIOをグローバルIO線対GIOへ接続するためのブロック選択スイッチBSは、ブロック選択信号 $\phi B$ に応答して導通する。このブロック選択スイッチBSとして、図4においてはローカルIO線対LIO1とグローバルIO線対GIO1とを接続するためのブロック選択スイッチBS1と、ローカルIO線対LIO2とグローバルIO線対GIO2とを接続するブロック選択スイッチBS2とが示される。

#### 【0062】

ローカルIO線対LIO3およびLIO4は、隣接する2つのグローバルIO線対GIOへそれぞれブロック選択スイッチを介して接続される（図4には示さず）。次に動作について簡単に説明する。

#### 【0063】

選択されたワード線WLがメモリアレイMK2に含まれる場合、アレイ選択信号 $\phi A1$ および $\phi A2$ が活性状態となり、メモリアレイMK2に含まれるビット線対BLPがセンスアンプSA1およびSA2に接続される。メモリアレイMK1およびMK3に対して設けられたアレイ選択ゲートSAG0およびSAG3は非導通状態となり、メモリアレイMK1およびMK3はプリチャージ状態を維持する。

#### 【0064】

各ビット線対BLPにおいてメモリセルデータが現われた後、センスアンプSA1およびSA2が活性化され、このメモリセルデータを検知し増幅する。

#### 【0065】

次いで、列選択線CSL上の信号が活性状態の“H”に立上がると、列選択ゲートCSG1およびCSG2が導通し、センスアンプSA1およびSA2で検知増幅されたデータがローカルIO線対LIO1ないしLIO4へそれぞれ伝達される。

#### 【0066】

続いてまたは同時にブロック選択信号 $\phi$ Bが活性状態の“H”となり、ローカルIO線対LIO1ないしLIO4がグローバルIO線対GIO1ないしGIO4へ接続される。データ読出時においてはこのグローバルIO線対のデータがプリアンプPAを介して増幅されて出力される。データ書込時においては、ライトバッファWBから与えられた書込データがグローバルIO線対GIO、ローカルIO線対LIOを介して対応のビット線対BLPへ伝達され、選択メモリセルへのデータの書込が実行される。

#### 【0067】

ブロック選択信号 $\phi$ Bは、この選択ワード線WLから属するメモリアレイMK2に対してのみ活性状態となる。アレイ選択信号 $\phi$ A1および $\phi$ A2も同様である。このブロック選択信号 $\phi$ B、アレイ選択信号 $\phi$ A1および $\phi$ A2は、行アドレス信号の所定数のビット（たとえば上位4ビット）を用いて生成することができる。

#### 【0068】

### [バンク構成]

SDRAMにおいては前述のごとくメモリアレイが複数のバンクに分割される。バンクはそれぞれ互いに独立にプリチャージ動作および活性化動作（ワード線の選択、センスアンプの活性化など）を実行することが必要とされる。図1に示す配置においては、SDRAMはメモリマットMM1およびMM2からなるバンク#1とメモリマットMM3およびMM4からなるバンク#2とを備える。

#### 【0069】

ロウデコーダおよびコラムデコーダはそれぞれのメモリマットに対応して設けられており、また内部データ伝達線（グローバルIO線対およびローカルIO線対）も各メモリマット個々に独立しているためにバンクの条件を満足している。

【0070】

さらに、図1に示す配置においては、プリアンプPAおよびライトバッファWBを含む入出力回路PWも各メモリマットに対して設けられており、バンク#1とバンク#2とが交互にアクセスされるようなインタリーブ動作をも実現することができる。

【0071】

すなわち、たとえばバンク#1に対してアクセスしている間にバンク#2をプリチャージすることができる。この場合、バンク#2に対してプリチャージ時間なしでアクセスすることができる。バンク#1および#2に対し交互にアクセスおよびプリチャージを実行することにより、DRAMにおいてアクセス前に必要とされるプリチャージによる時間損失をなくすことができ、高速アクセスを実現することができる。

【0072】

#### 〔内部制御信号発生系〕

図5は、この発明が適用されるSDRAMの内部制御信号発生系の構成を概略的に示すブロック図である。この図5に示す内部制御信号発生系は図1に示す周辺回路PHに含まれる。図5において、メモリアレイは、第1のバンク（バンク#A）100aと第2のバンク（バンク#B）100bと2つのバンクを含む。バンク100aおよび100bは、図1に示すコラムデコーダ、ロウデコーダ、入出力回路PWを含む。

【0073】

図5においては、図面の煩雑化を避けるために、内部制御信号はバンク100aおよび100bに対し共通に発生するように示される。通常動作時、バンクアドレス信号BAに従って一方のバンクのみが活性化され、活性化されたバンクに対してのみ活性状態の制御信号が与えられる。

【0074】

図5において、内部制御系は、外部制御信号  $ext. / CS$  をバッファ処理して内部制御信号  $/CS$  を発生する  $CS$  バッファ114と、外部からのクロック信号  $ext. CLK$  をバッファ処理して内部クロック信号  $CLK$  を発生するクロックバッファ110を含む。外部制御信号  $ext. / CS$  はこのSDRAMが選択されたことを示すチップセレクト信号である。この信号  $ext. / CS$  が“L”の活性状態となったとき、このSDRAMは動作可能状態となる。

#### 【0075】

周辺回路PHは、さらに、 $CS$  バッファ114からの内部制御信号  $/CS$  に応答して活性化され、外部制御信号  $ext. / RAS$ 、 $ext. / CAS$ 、 $ext. / WE$  および  $ext. DQM$  を取込み、各種内部制御信号を発生する第1の制御信号発生回路116と、第1の制御信号発生回路116からの制御信号とバンクアドレス信号BAとに응答して、選択されたアレイを駆動するための各種制御信号を発生する第2の制御信号発生回路118とを含む。

#### 【0076】

第1の制御信号発生回路116は、内部クロック信号  $CLK$  に응答して外部制御信号  $ext. / RAS$ 、 $ext. / CAS$ 、 $ext. / WE$  を取込み、そのときの信号の状態の組合わせにより指定された動作モードを判別する。この判別結果に従って、第1の制御信号発生回路116は、書込制御信号  $\phi W$ 、読出制御信号  $\phi O$ 、行選択制御信号  $\phi R$  および列選択制御信号  $\phi C$ 、行アドレスバッファ活性化信号  $RAD E$  および列アドレスバッファ活性化信号  $CAD E$  を発生する。第1の制御信号発生回路116は、また、回路制御信号  $ext. DQM$  を内部クロック信号  $CLK$  の立上がりエッジで取込み、入出力バッファをイネーブル状態とする。

#### 【0077】

第2の制御信号発生回路118は、内部クロック信号  $CLK$  およびバンクアドレス信号BAを受け、第1の制御信号発生回路116からの制御信号に従って、センスアンプ活性化信号  $\phi SA$ 、プリアンプ活性化信号  $\phi PA$ 、書込用レジスタ活性化信号  $\phi WB$ 、入力バッファ活性化信号  $\phi DB$  および出力バッファイネーブル信号  $\phi OE$  を発生する。

## 【0078】

第2の制御信号発生回路118から発生される制御信号 $\phi WB$ 、 $\phi DB$ および $\phi OE$ は、内部クロック信号CLKの所定のカウンタ数（レイテンシ）に従って発生される。

## 【0079】

周辺回路PHは、さらに、第1の制御信号発生回路116からの行アドレスバッファ活性化信号RADEおよび列アドレスバッファ活性化信号CADEにตอบสนองして活性化され、外部アドレス信号ext. Aをそれぞれ行アドレス信号および列アドレス信号として取込み内部行アドレス信号Xaおよび内部列アドレス信号Yaおよびバンクアドレス信号BAを発生するアドレスバッファ124と、内部クロック信号CLKにตอบสนองして動作し、アドレスバッファ124からの所定のビットの内部で列アドレス信号Ymを受けて入出力回路に含まれるリード用レジスタおよびライト用レジスタ（これらについては後に説明する）の動作を制御する信号すなわち、ラップアドレスWY、リードレジスタ駆動信号 $\phi Rr$ およびライト用レジスタ駆動信号 $\phi RW$ を発生するレジスタ制御回路122を含む。

## 【0080】

このレジスタ制御回路122の制御の下に、各データ入出力端子に対して設けられた複数のリードレジスタおよびライトレジスタの選択および動作制御が行なわれる。

図6は図5に示す第1の制御信号発生回路の内部構成を示す図である。図6に示すように、第1の制御信号発生回路116は、内部制御信号/Csにตอบสนองして活性化され、クロックバッファ110からのクロック信号CLKの立上がりエッジで外部制御信号ext. /RAS、ext. /CASおよびext. /WEの状態を判別する状態デコーダ116aを含む。この状態デコーダ116aが、与えられた各種制御信号の状態に従って必要な内部制御信号およびアドレスバッファ活性化信号を発生する。これらの外部制御信号は動作モードを指定するクロックサイクルにおいてのみワンショットのパルスの形態で与えられる。

## 【0081】

[制御信号の状態と動作モードとの対応関係]



図7は、外部制御信号のクロック信号CLKの立上がりエッジにおける状態とそのとき指定される動作モードの対応関係を示す図である。図6に示す状態デコーダはこの図7に一覧にして示す動作が実行されるように各種必要な内部制御信号を発生する。

【0082】

(a)  $\text{CS} = \text{RAS} = \text{L}$  かつ  $\text{CAS} = \text{WE} = \text{H}$

この状態では、行アドレスの取込が指定されかつアレイの活性化が指定される。すなわち、この状態はアクティブコマンドと呼ばれ、行アドレスの取込およびバンクアドレスの取込が行なわれ、選択されたバンクに対する行選択に関連する動作が実行される。

【0083】

(b)  $\text{CS} = \text{CAS} = \text{L}$  かつ  $\text{RAS} = \text{WE} = \text{H}$

この状態では、列アドレスの取込が指定されかつデータ読出動作モードが指定される。この状態は、リードコマンドと呼ばれ、読出データレジスタが選択され、選択されたメモリセルの読出データレジスタへのデータ転送および順次読出が実行される。

【0084】

(c)  $\text{CS} = \text{CAS} = \text{WE} = \text{L}$  かつ  $\text{RAS} = \text{H}$

この状態は、列アドレスの取込およびデータ書込動作を指定する。この状態は、ライトコマンドと称される。このライトコマンドが与えられると、書込レジスタの活性化が行なわれ、与えられたデータの書込レジスタおよび選択メモリセルへの書込が行なわれる。

【0085】

このときまた、取込まれた列アドレスに従って列選択動作が実行されている。

(d)  $\text{CS} = \text{RAS} = \text{WE} = \text{L}$  かつ  $\text{CAS} = \text{H}$

この状態は、プリチャージコマンドと称され、選択状態とされたアレイがプリチャージ状態とされかつセルフリフレッシュの終了が指定される。

【0086】

(e)  $\text{CS} = \text{RAS} = \text{CAS} = \text{L}$  かつ  $\text{WE} = \text{H}$

この状態では、リフレッシュモードが指定され、かつセルフリフレッシュ動作が開始される。この動作モードにおいて、内部でリフレッシュアドレスの生成および選択行におけるメモリセルのリフレッシュが図示しない内蔵されたアドレスカウンタおよびタイマを用いて実行される。

## 【0087】

(f)  $\text{CS} = \text{RAS} = \text{CAS} = \text{WE} = \text{"L"}$

この動作モードにおいては、モードレジスタにデータがセットされる。このモードレジスタは、SDRAMにおける固有の動作モードを指定するために設けられており、このモードレジスタに設定されたデータに従って所望の動作が実行される。このようなモードレジスタの用途としては、ラップ長の設定などがある。

## 【0088】

(g)  $\text{DQM} = \text{"L"}$

この動作モードにおいては、先に信号 $\text{CAS}$ および $\text{WE}$ により決定された動作モード（リードモードまたはライトモード）において、データの書込または読出が実行される。すなわち、外部から与えられた書込データの書込レジスタへの格納または読出データレジスタに格納されたデータの読出が実行される。

## 【0089】

(h)  $\text{DQM} = \text{"H"}$

この動作モードにおいては、データの読出が不活性状態とされ、かつライトマスク動作（連続ビットデータ（ラップデータ）におけるマスク動作）が指定される。すなわち、データの書込／読出が禁止される。

## 【0090】

(i)  $\text{CS} = \text{"L"}$  かつ  $\text{RAS} = \text{CAS} = \text{WE} = \text{"H"}$

この状態においては動作には特に特に変化はない。どの動作モードも指定されない。SDRAMが選択状態にあり、先に指定された動作を実行しているだけである。

## 【0091】

(j)  $\text{CS} = \text{"H"}$

この状態においては、SDRAMは非選択状態であり、信号 $\text{RAS}$ 、 $\text{CA}$

SおよびWEは無視される。

【0092】

ここで、図7において符号“-”で示される信号状態は「ドントケア」状態を示し符号“X”で示す状態は「任意」状態を示す。

【0093】

#### [データ読出系]

図8は、この発明が適用されるSDRAMのデータ読出系の構成を示す図である。図8において、SDRAMは同じ構成のバンク#Aおよび#Bを含む。図8においては、1つのデータ入出力端子DQに対するデータ読出系の構成のみを示す。×8ビット構成の場合、この図8に示す構成が8個並列に設けられる。

【0094】

図8において、バンク#Aのデータ読出系は、プリアンプイネーブル信号PAEAおよび転送指示信号TLRAに従って、対応のグローバルIO線対GIO0A～GIO7A上のデータの増幅およびラッチを行なうリードレジスタRG0A～RG7Aと、ラップアドレスRWYiAおよび/RWYiA (i=0～7)に従って、対応のリードレジスタのデータを転送する三状態インバータバッファTB0A～TB7Aと、選択された(活性化された)インバータバッファTB0A～TB7Aの出力をラッチするラッチ回路LA-Aと、ラッチ回路LA-Aのラッチデータをバンク指定信号BAAおよびBABに従って反転増幅する三状態インバータバッファTB8Aを含む。

【0095】

バンク#Bのデータ読出系は、バンク#Aのそれと同様の構成を備える。リードレジスタRG0B～RG7Bは、プリアンプイネーブル信号PAEBおよび転送指示信号TLRBに従って対応のグローバルIO線対GIO0B～GIO7B上のデータの増幅およびラッチを行なう。三状態インバータバッファTB0B～TB7BはラップアドレスRWY0B、/RWY0B～RWY7B、/RWY7Bに従って対応のリードレジスタのラッチデータを反転増幅する。

【0096】

ラッチ回路LA-Bは、三状態インバータバッファTB0B～TB7Bのうち

活性化された三状態インバータバッファの出力をラッチする。三状態インバータバッファTB8Bは、ラッチ回路LA-Bのラッチしたデータを反転増幅する。

#### 【0097】

SDRAMは、さらにバンク#Aおよびバンク#Bからの出力（三状態バッファTB8AおよびTB8B）の出力をラッチするラッチ回路150と、出力イネーブル信号OEMに従ってラッチ回路150の出力をデータ入出力端子DQへ伝達する出力バッファ160を含む。出力バッファ160は、出力イネーブル信号OEMが不活性状態の“L”のとき出力ハイインピーダンス状態となる。

#### 【0098】

ラッチ回路150は、制御信号DOTおよび/DOTに応答して活性化される三状態インバータバッファ152と、三状態インバータバッファ152の出力をラッチするラッチ回路154を含む。次に動作について簡単に説明する。

#### 【0099】

バンクアドレス信号BAに従ってバンク#Aおよび#Bの一方が活性状態とされる。すなわち、三状態バッファTB8AおよびTB8Bの一方が活性状態、他方が不活性状態となる。今、バンク#Aが活性状態とされた状態を考える。

#### 【0100】

グローバルIO線対GIO0~GIO7A上に8ビットのメモリセルのデータが伝達される。リードレジスタRG0A~RG7Aにはプリアンプイネーブル信号PAEAおよび転送指示信号TLRAに従ってこの対応のグローバルIO線対GIO0A~GIO7A上のデータが格納される。

#### 【0101】

続いて、ラップアドレス信号RWY0、/RWY0~RWY7および/RWY7が順次所定の順序で活性状態とされ、三状態インバータバッファTB0A~TB7Aが所定の順序で順次活性化される。このラップアドレス信号RWY0~RWY7Aが活性状態となる順序は、レジスタ制御回路122がアドレスバッファ124から与えられた所定数のビットの列アドレス信号Ymをデコードして決定する。この三状態インバータバッファTB0A~TB7Aから出力されたメモリセルデータはラッチ回路LA-Aによりラッチされる。続いて、転送信号DOT

および／DOTに従って、このラッチ回路LA-Aにラッチされたデータがラッチ回路154に格納される。このラッチ回路154に格納されたデータは出力バッファ160から出力イネーブル信号OEMに従って出力される。

【0102】

#### [リードレジスタ]

図9は、図8に示すリードレジスタの具体的構成の一例を示す図である。図9において、リードレジスタRG0A～RG7AおよびRG0B～RG7Bは、同一の構成を有するため、参照符号RGで示す。

【0103】

図9において、リードレジスタRGは、プリアンプイネーブル信号PAE（信号PAEAまたはPAEB）に応答して対応のグローバルIO線GIOiおよび／GIOi上の信号電位を増幅するプリアンプPRAと、プリアンプPRAにより増幅されたデータをラッチするラッチ回路LRGを含む。

【0104】

プリアンプPRAは、プリアンプイネーブル信号PAEをゲートに受ける相補接続されたpチャネルMOSトランジスタ（絶縁ゲート型電界効果トランジスタ）750およびnチャネルMOSトランジスタ754と、トランジスタ754と接地電位との間に設けられ、そのゲートがグローバルIO線／GIOiに接続されるnチャネルMOSトランジスタ756bと、プリアンプイネーブル信号PAEをそのゲートに受ける相補接続されたpチャネルMOSトランジスタ752およびnチャネルMOSトランジスタ755と、トランジスタ755と接地電位との間に設けられ、そのゲートがグローバルIO線GIOiに接続されるnチャネルMOSトランジスタ757とを含む。

【0105】

プリアンプPRAはさらに、トランジスタ750と並列に設けられるpチャネルMOSトランジスタ751と、トランジスタ752と並列に設けられるpチャネルMOSトランジスタ753とを含む。トランジスタ751および753はそのゲートとドレインが交差結合される。

【0106】

ラッチ回路LRGは、2つの2入力NAND回路760および762を含む。NAND回路760は、その一方入力がノードN30（プリアンプPRAの一方出力ノード）に結合され、その他方入力がNAND回路762の出力に結合される。NAND回路762は、その一方入力がノードN32（プリアンプPRAの他方出力ノード）に結合され、その他方入力がNAND回路760の出力ノードN34に接続される。NAND回路760の出力ノードN34からリードレジスタRGの格納データが出力される。次にこの図9に示すリードレジスタの動作をその動作波形図である図10を参照して説明する。

#### 【0107】

リードコマンドが与えられると、そのときに与えられた列アドレス信号に従って列選択が実行される。選択バンクにおいては、選択されたメモリセルのデータがグローバルIO線GIOiおよび/GIOi上に伝達され、グローバルIO線対GIOiおよび/GIOi上の信号が読出データに対応した電位に変化する。図10においては、グローバルIO線GIOi上にデータ“1”（電位“H”に対応）が読出され、グローバルIO線/GIOi上にデータ“0”（電位“L”に対応）が読出された状態が示される。

#### 【0108】

次いで、グローバルIO線GIOiおよび/GIOi上の電位が確定すると、プリアンプイネーブル信号PAEが発生される（リードコマンドが与えられたとき、クロック信号CLKをトリガとして）。

#### 【0109】

プリアンプイネーブル信号PAEは、図5に示す第2の制御信号発生回路から発生される信号φPAに含まれる。このプリアンプイネーブル信号PAEは、レイテンシ（リードコマンドが与えられてから有効データが出力されるまでに要するクロック数）の1クロックサイクル前のクロック信号の立上がりをトリガとして発生される。

#### 【0110】

信号PAEが“L”の間、プリアンプPRAにおいてはpチャネルMOSトランジスタ751および752がオン状態にあり、nチャネルMOSトランジスタ

754 および755 がオフ状態にある。このため、ノードN30 およびN32 は“H”の電位にトランジスタ751 および752 を介してプリチャージされている。この状態においては、ラッチ回路LIGのラッチデータは変化せず、前のアクセスサイクルで読出された信号を保持している。

#### 【0111】

プリアンプイネーブル信号PAEが“H”に立上がると、トランジスタ750 および752 がオフ状態、トランジスタ754 および755 がオン状態となる。トランジスタ756 および757 のゲートへは、既に安定状態となったグローバルIO線/GIOi およびGIOiの信号が伝達される。今、グローバルIO線GIOi上の信号電位が“1”である。したがって、トランジスタ757の導電率がトランジスタ756の導電率よりも高くなり、ノードN30がトランジスタ755 および757によりノードN32よりも、より高速で放電される。

#### 【0112】

ノードN30の電位が低下すると、トランジスタ751がオン状態へと移行していきノードN32を充電する。ノードN32の電位が上昇すると、トランジスタ753がオフ状態へと移行する。これにより、ノードN30 およびN32の電位が高速でグローバルIO線GIOi および/GIOiに対応した電位となる。すなわち、ノードN30の電位が“L”、ノードN32の電位が“H”となる。応じて、NAND回路760の出力が“H”となり、ノードN34に選択されたメモリセルから読出されたデータがラッチされる。

#### 【0113】

所定期間が経過すると、プリアンプイネーブル信号PAEが“L”に立下がり、プリアンプPRAはそのノードN30 およびN32の電位がともに“H”となり、ラッチ回路LRGはデータラッチ状態となる。

#### 【0114】

ラップアドレスRWYiについては、列選択動作が開始されてから（信号/CASが“L”に立下がりリードコマンドが与えられてから）レイテンシー1回目のクロック信号CLKの立上がりに対応してラップアドレスが設定される。次いで、ラップ長が示すクロックサイクルの間、順次クロック信号CLKに対応して

ラップアドレスが発生される。

【0115】

このラップアドレスは、図5に示すレジスタ制御回路122から発生される。図5においてはただし、ラップアドレスWYはリードレジスタおよびライトレジスタ両方に与えられるラップアドレスを含む。

【0116】

次に、この図8に示すデータ読出系の動作をその動作タイミングチャート図である図11を参照して説明する。図11においては、レイテンシが3でありかつラップ長が4の場合のデータ読出動作が一例として示される。

【0117】

第1クロックサイクルにおいて、クロック信号CLKの立上がりエッジで信号/CASが“L”に設定され列選択動作開始が指示される。このとき、また制御信号/WEは“H”にあり、信号/RASは“H”にある。すなわちリードコマンドが与えられた状態となる。このとき既にアクティブコマンドが与えられており、選択されたバンクにおいて行選択動作が実行されている。

【0118】

このリードコマンドとともに与えられたアドレスYaが列アドレスとして列選択動作が実行される。このときまた、バンクアドレスAが設定され、バンク#Aが選択される。行選択動作は上述のように、先に与えられている信号/RASとそのときに与えられているバンクアドレスとに従って実行されている。このバンクアドレスAは、したがって、データ読出系の回路すなわち信号CASに関連する回路のバンク指定を行なう機能を備える。

【0119】

第2クロックサイクルにおいて、クロック信号CLKの立上がり時に、プリアンプイネーブル信号PAEAを“H”に設定する。すなわち、プリアンプイネーブル信号PAEAは（レイテンシー2）クロックサイクル時において活性状態とする。有効データがデータ入出力端子DQに現われるよりも2クロックサイクル前においてリードレジスタRDにおけるデータの増幅およびラッチを実行する。

【0120】



この第2クロックサイクルにおいて、また、クロック信号CLKの立上をトリガとして、ラップアドレス発生回路（図5に示すレジスタ制御回路122に含まれる）からラップアドレスRWYが発生される。これにより、三状態インバータバッファTB0A～TB7Aのうちの1つが活性状態となり、リードレジスタRGiA（ラッチ回路LRG）にラッチされたデータが、出力部に設けられた三状態インバータバッファTB8A前段に設けられたラッチ回路LA-Aによりラッチされる。

#### 【0121】

このラップアドレスRWYiAの発生と並行して、第2クロックサイクルのクロック信号CLKの立上がりトリガとして、バンク指定信号BAAが“H”となる。このバンク指定信号BAAは図5に示す第2の制御信号発生回路から発生される。これにより、ラッチ回路LA-Aにラッチされたデータが三状態インバータバッファTB8Aを介してラッチ回路150前段にまで伝達される。

#### 【0122】

続いて、第3クロックサイクル（有効データが出力されるクロックサイクルよりも1クロックサイクル前、すなわち（レイテンシー-1）において、クロックCLKの立上がりトリガとして、制御信号DOTが所定期間“H”となる。これにより、三状態インバータバッファ152が動作し、ラッチ回路154により、既に伝達されていたデータを取込みラッチする。

#### 【0123】

この制御信号DOTの発生と同期して、出力イネーブル信号OEMが“H”に立上がる。これにより、出力バッファ160が活性状態となり、ラッチ回路150にラッチされたデータをデータ入出力端子DQへ伝達する。

#### 【0124】

この第3クロックサイクルにおいて、クロック信号CLKの立上がりトリガとして、ラップアドレスRWYiが変更される。

#### 【0125】

第4クロックサイクルにおいて、出力バッファ160の出力データが有効データとして確定する。

## 【0126】

以降、各クロックサイクルごとにラップアドレスRWY<sub>i</sub>Aが変化し、制御信号DOTが各クロック信号CLKの立上がりトリガとして発生され、出力バッファ160からデータが順次出力される。

## 【0127】

第5クロックにおいて、バンク#Bに対するリードコマンドが与えられる。この場合においても同様、第6クロックサイクルにおいてプリアンブイネーブル信号PAEBが“H”に立上がり、バンク#BにおいてリードレジスタRG0B～RG7Bによる選択メモリセルのデータの増幅およびラッチが実行される。すなわち、バンク#Aとバンク#Bとを並行にパイプライン態様で活性化することができる。

## 【0128】

バンク#Bにおいて、プリアンブイネーブル信号PAEBが発生された後、ラップアドレスRWY<sub>i</sub>Bが順次発生される。このラップアドレスRWY<sub>i</sub>Bに従って、データがラッチ回路150の入力部まで順次伝達される。以降、次のクロックサイクルから制御信号DOTおよびOEMに従って順次データが読出される。

## 【0129】

制御信号DOTは、有効データが出力されてからラップ長（図11に示す構成においては4）が示す数のクロック信号をカウントしたときに“L”となる。出力イネーブル信号OEMは、この制御信号DOTと同様、活性状態となってから、ラップ長が示す数のクロック信号をカウントしたときに“L”となる。

## 【0130】

レイテンシが1に設定された場合には、リードコマンドが与えられたときのクロックサイクルのクロック信号をトリガとしてラップアドレスRWY<sub>i</sub>が変化する。出力制御信号DOTについても、レイテンシが1の場合にはリードコマンドが与えられたときのクロックサイクルで“H”に設定される。

## 【0131】

次に具体的なSDRAMのデータ読出動作について図12に示すタイミングチ

ャート図を参照して簡単に説明する。

#### 【0132】

サイクル1において、クロック信号CLKの立上がりエッジにおいてアクティブコマンドが与えられる。すなわち、信号ext. /RASおよびext. /CSが“L”に設定され、信号ext. /CASおよびext. /WEがともに“H”に設定される。なお、以下の説明において、動作時にはチップセレクト信号ext. /CSは“L”に設定されているため、特に言及しない。

#### 【0133】

このアクティブコマンドに従って、行アドレス信号ビットA0～A10（アドレス信号は10ビットであるとする）が行アドレス信号Xaとして取込まれ、内部行アドレス信号が発生される。このとき、同時に、バンクアドレス信号BAが取込まれる。今、バンクアドレス信号BAが“0”のとき、バンク#Aを指定し、バンクアドレス信号BAが“1”のとき、バンク#Bが指定されるものとする。指定されたバンク#Aにおいては、行選択動作すなわちアレイの活性化が実行される。

#### 【0134】

クロックサイクル3において、クロック信号CLKの立上がりエッジでリードコマンドが与えられる。すなわち、信号ext. /RASおよびext. /WEがともに“H”に設定され、信号ext. CASが“L”に設定される。このサイクル3のクロック信号CLKの立上がりエッジでアドレス信号ビットA0～A10が列アドレス信号Ybとして取込まれる。このときまた、バンクアドレスBもまた取込まれる。これにより、内部では行アドレス信号Xaおよび列アドレス信号Ybに従った行および列の選択動作が実行され、選択されたメモリセルのデータがリードレジスタに格納される。レイテンシが4に設定されている場合、このリードコマンドが与えられてから4クロック経過後のサイクル7において、リードレジスタに格納されたデータが順次クロック信号CLKの立上がりに対応して出力される。このとき、信号DQは予め“L”に設定される。これによりデータ読出が可能となる。

#### 【0135】

このラップ長が8に設定されている場合、リードレジスタに格納された8個のデータ（8バイトデータ）が順次読出される。この連続8ビットのバイトデータを符号b0～b7で示す。

#### 【0136】

このデータ読出と並行して、サイクル7において、クロック信号CLKの立下がりエッジで信号ext. /RASおよびext. /WEを“L”に設定し、信号ext. /CASを“H”に設定する。このとき併せてバンクアドレスBAが“0”に設定される。これにより、バンク#Aに対するプリチャージが指定され、バンク#Aのアレイのプリチャージが実行される。

#### 【0137】

プリチャージ状態に入ったバンク#Aは、所定のRASプリチャージ期間（2ないし3クロックサイクル）が経過した後再び活性化することができる。

#### 【0138】

サイクル11において、クロック信号CLKの立上がりエッジでバンク#Aに対するアクティブコマンドが入力され、バンク#Aが再び活性化される。

#### 【0139】

サイクル13におけるクロック信号CLKの立上がりエッジでバンク#Aに対するリードコマンドが与えられ、先のアクティブコマンドにより活性化されたメモリアレイから8バイトとのデータが読出され、リードレジスタに格納される。

#### 【0140】

今、レイテンシは4であるため、このリードコマンドが与えられてから4クロック経過後のサイクル17のクロック信号CLKの立上がり同期して、確定データが出力される。

#### 【0141】

このサイクル17以降、クロック信号CLKの立上がりエッジで、行アドレス信号Xcおよび列アドレス信号Ydにより選択された8個のデータd0～d7が順次読出される。このサイクル17において、同時に、信号ext. /RASおよびext. WEをとともに“L”とし、信号ext. /CASを“H”とし、かつバンクアドレス信号BAを“0”とする。これにより、バンク#Aは再びプリ

チャージ状態に入る。

【0142】

次に、サイクル19において、信号 $\text{ext.}/\text{RAS}$ を“L”、信号 $\text{ext.}/\text{CAS}$ および $\text{ext.}/\text{WE}$ をともに“H”とし、バンクアドレス信号BAを“1”とする。バンク#Bに対するアクティブコマンドが入力されたため、バンク#Bにおいて、行アドレス信号Xeに従った行選択動作が実行される。

【0143】

サイクル21におけるクロック信号CLKの立上がりエッジでバンク#Bに対するリードコマンドを入力する。これにより、バンク#Bにおいては、リードレジスタに8バイトのデータが格納される。

【0144】

バンク#AからデータD7が読出された後、次のクロックサイクル25のクロック信号CLKの立上がりエッジでバンク#Bからのデータf0が読出される。このとき、また、バンク#Bに対するプリチャージコマンドが入力される。バンク#Bにおいては選択行が非選択状態となり、メモリアレイはプリチャージ状態に復帰する。リードレジスタからはクロック信号CLKの立上がり同期してデータが読出される。

【0145】

上述のように、信号 $\text{ext.}/\text{RAS}$ をパルス形態で印加することにより、動作サイクルの最初の期間のみ制御信号 $\text{ext.}/\text{RAS}$ 、 $\text{ext.}/\text{CAS}$ および $\text{ext.}/\text{WE}$ を所定の状態に組合わせることにより動作モードを指定することができ、容易にバンクの切換を行なうことができるとともに、一方のバンクの活性化時に他方のバンクのプリチャージを行なうことができる。したがって、RASプリチャージ時間を考慮する必要がなく、インタリーブしてバンク#Aおよび#Bからデータを読出すことができ、高速でデータを読出すことが可能となる。

【0146】

[データ書込回路系]

図13は、この発明が適用されるSDRAMのデータ書込系の構成を示す図で

ある。図13においては、バンク#Aおよびバンク#Bは同一構成を備えるため、バンク#Aに対する構成のみを示す。バンク#Aおよびバンク#Bのデータ書込系は共通に入力バッファ200に結合される。入力バッファ200はクロック信号CLKに従って、データ入力端子Dに与えられたデータを取込み書込データを生成する。なお、図13においては、データ入力端子Dを示す。このデータ入力端子Dはデータ出力をも行なうデータ入出力端子DQであってもよい。ここでは、データ書込を強調するために、データ入力端子として説明する。

#### 【0147】

バンク#Aは、データ入力端子Dに関連付けられた8つのグローバルIO線対GIO0～GIO7それぞれに対して設けられるライトレジスタWG0～WG7と書込回路WR0～WR7を含む。このデータ書込系の動作を制御するために、信号ext./CASおよびext./WEおよびクロック信号CLKに応答して、データ書込モードが指定されたこと、すなわちライトコマンドが入力されたことを検出するライト検出回路204と、ライト検出回路204からのライト検出信号φWに응答して活性化され、クロック信号CLKに同期して書込をラップアドレスWWYを発生するラップアドレス発生回路202と、ライト検出回路204からのライト検出信号φwに응答して活性化され、クロック信号CLKとラップアドレス発生回路202からのラップアドレスWWYに従って、書込回路WR0～WR7から対応のグローバルIO線対GIO0～GIO7へのデータ書込を制御する書込制御回路206が設けられる。

#### 【0148】

ラップアドレス発生回路202および書込制御回路206は、それぞれバンクアドレスBAに従って、指定されたバンクに対してのみラップアドレスおよび書込制御信号を生成するように示される。ラップアドレス発生回路202および書込制御回路206がそれぞれがバンク#Aおよびバンク#Bに対して設けられ、バンクアドレス信号BAに従って、選択されたバンクに対応するラップアドレス発生回路および書込制御回路が活性化される構成が利用されてもよい。

#### 【0149】

このラップアドレス発生回路202は、またリードレジスタを選択するための

リード用ラップアドレスRWYを発生する回路と共用されてもよい。

#### 【0150】

ラップアドレス発生回路202は、バンクアドレス信号BAと3ビットのアドレスA0～A2とをデコードし、ライトレジスタを順次選択するためのラップアドレスWWYを発生する。このラップアドレスWWYは、クロック信号CLKに同期して順次リード動作時と同様に変化する。ライトレジスタWG0～WG7はこのラップアドレス発生回路202から与えられたラップアドレスに従って入力バッファ200から与えられた書込データを格納する。

#### 【0151】

書込制御回路206は、ラップアドレスWWYに従って、書込回路WR0～WR7を所定数ずつまたは同時に活性化する。すなわちこの書込制御回路206は、ライトレジスタWG0～WG7すべてにデータが書込まれたとき（ラップ長8の場合）、書込回路WR0～WR7を同時に活性化してもよい。また、この書込制御回路206は、たとえば2ビットの有効データが書込まれたときに対応の書込回路を活性化し、対応のグローバルIO線対上へ書込データを伝達する構成とされてもよい。

#### 【0152】

図14は、図13に示すライトレジスタおよび書込回路の具体的構成の一例を示す図である。

#### 【0153】

図14においては1ビットのライトデータレジスタWG<sub>i</sub>および書込回路WR<sub>i</sub>が代表的に示される。ライトレジスタWG0～WG7および書込回路WR0～WR7は図14に示す構成と同一の構成を備える。

#### 【0154】

ライトレジスタWG<sub>i</sub>は、ラップアドレス／WWY<sub>i</sub>に応答して、入力バッファ（図13参照）から与えられる書込データWDおよび／WDを取込む。このライトレジスタWG<sub>i</sub>は、ラップアドレス／WWY<sub>i</sub>と書込データWDを受ける2入力OR回路230と、ラップアドレス／WWY<sub>i</sub>と書込データ／WDを受ける2入力OR回路232と、OR回路230および232の出力をそれぞれ一方入

力に受ける2入力NAND回路231および233を含む。NAND回路231および233はその他方入力と出力が交差結合される。

#### 【0155】

このライトレジスタWG<sub>i</sub>は、ラップアドレス/WWY<sub>i</sub>が“L”のとき書込データWDおよび/WDを取込み、ラップアドレス/WWY<sub>i</sub>が“H”と、この取込んだ信号のラッチ状態となる（OR回路230および232の出力は書込データWDおよび/WDに関係なく“H”となるためである）。

#### 【0156】

書込回路WR<sub>i</sub>は、転送指示信号WEEに応答してライトレジスタWG<sub>i</sub>がラッチしたデータを伝達する転送回路250と、転送回路250の出力を増幅してグローバルIO線GIO<sub>i</sub>および/GIO<sub>i</sub>上へ伝達するプリアンプ260を含む。

#### 【0157】

転送回路250は、NAND回路231の出力と転送制御信号/WEEを受ける2入力NOR回路238と、NAND回路233の出力と転送制御信号/WEEを受ける2入力NOR回路239を含む。転送回路250は、転送指示信号/WEEが“L”となるとライトレジスタWG<sub>i</sub>のラッチデータ（ノードQ60およびQ61）上のデータを反転して伝達する。転送指示信号/WEEが“H”のとき、NAND回路238および239の出力はともに“L”となる。

#### 【0158】

プリアンプ260は、電源ノードと接地電位ノードとの間に直列に接続されるnチャネルMOSトランジスタ240および241と、電源供給ノードと接地電位との間に直列に接続されるnチャネルMOSトランジスタ242および243を含む。トランジスタ240および243のゲートへ転送回路250のNOR回路238の出力が伝達される。トランジスタ241および242のゲートへ転送回路250のNOR回路239の出力が与えられる。

#### 【0159】

プリアンプ260は、ノードQ64およびQ65の電位がともに“L”のとき、トランジスタ240～243がすべてオフ状態となって、出力ハイインピーダ



ンス状態となる。すなわち、転送指示信号／WEEが“H”となったときにはデータは転送されない。次にこの図14に示す回路の動作をその動作波形図である図15を参照して簡単に説明する。

#### 【0160】

まずライトコマンドが与えられ、SDRAMはデータ書込状態となる。ラップアドレス発生回路202からラップアドレス／WWY<sub>i</sub>が与えられる。これにより、ライトレジスタWG<sub>i</sub>がそのときに与えられていた書込データDおよび／WDをラッチする。このラップアドレス／WWY<sub>i</sub>が活性状態の“L”となるまでは、前のアクセスサイクルにおいて書込まれたデータがラッチされている。

#### 【0161】

次いで、ラップアドレスWWY<sub>i</sub>が発生された後、信号WEEが活性状態の“L”となり、NOR回路238および239がインバータバッファとして動作し、ノードQ60およびQ61上のデータを反転してノードQ64および65上へ伝達する。すなわち、書込データWDが“1”（電位“H”に対応）のとき、ノードQ60の電位は“L”となり、次いで転送指示信号／WEEの立下がりに応答してノードQ64およびQ65の電位がそれぞれ“H”および“L”になる。

#### 【0162】

このノードQ64上の“H”の信号に応答して、トランジスタ240および243がオン状態となり、グローバルIO線GIO<sub>i</sub>はトランジスタ240により充電され、電源電位レベルの“H”レベルの電位となる。一方、グローバルIO線／GIO<sub>i</sub>は、トランジスタ243より放電され、接地電位レベルとなる。

#### 【0163】

図16は、SDRAMのデータ書込時の外部信号の状態を示す図である。以下、簡単に図16を参照してデータ書込動作の外部信号の状態について説明する。

#### 【0164】

データ書込時には、入力バッファへのデータの書込を、書込指示すなわちライトコマンド入力時と同時に行なえばよいだけである。ライトレジスタの状態が完全にリセットされていなくても次のクロックサイクルまでにライトレジスタのリセット状態が確定し、ライトコマンドとともに与えられたデータの書込が

行なわれればよい。

#### 【0165】

このため、読出動作時と異なり、信号DQMはデータ書込よりも1クロック遅れてデータ書込のイネーブル／ディスエーブルを制御する。

#### 【0166】

クロックサイクル1において、アクティブコマンドが与えられ、バンク#Aが活性化され行選択動作が実行される。次いで、第3クロックサイクルにおいて、ライトコマンドが与えられ、そのときのアドレスYbとバンクアドレスBAに従ってバンク#Aに対するデータの書込が行なわれる。ラップ長が8であれば、この第3クロックサイクルから順次連続して8バイトのデータが入力された順次ライトレジスタに書込まれる。このライトレジスタに書込まれたデータは内部でデータ転送指示信号に従って選択されたメモリセルへのデータ転送が実行される。ラップ長が8であるため、64ビットのメモリセルに対するデータ書込が完了する。

#### 【0167】

信号DQMを“H”に設定すると、次のクロックサイクルで与えられる書込データに対しマスクがかけられる。この状態は図16において、第26サイクルおよび第28サイクルにおいて、信号DQMが“H”に立上げられ、第27クロックサイクルおよび第29クロックサイクルに与えられたデータの書込データへの転送は実行されない。

#### 【0168】

このデータ書込時においても、バンク#Aとバンク#Bを交互に活性化することができる（バンクアドレスBAに従って）。このバンクの交互活性化は先に説明したデータ読出時の動作と同様であり、その詳細は説明しない。

#### 【0169】

### 〔テスト回路〕

標準DRAMにおいては、テスト時間を短縮するために、複数ビットでデータの入出力が行なわれる場合、この複数ビットのメモリセルのデータを同時に読出し、該同時に読出された複数ビットのメモリセルデータの一致／不一致を判別す

ることによりパス／フェールを判定する「マルチビット」テストモードが採用されている。

#### 【0170】

SDRAMにおいても同様のテストモードを使用することができる。この場合、複数のバンクすなわちバンク#Aおよびバンク#Bをテストモード時には同時に活性化し、複数のバンク（バンク#AおよびバンクB）から読出されたすべてのデータの一致／不一致を判別すれば、よりテスト時間を短縮することができる。

#### 【0171】

しかしながら、SDRAMでは、同時に所定数のメモリセルのデータが同時に読出されたため、テストモード時により高速でパス／フェールの判定を行なうことができる。

#### 【0172】

なお、以下の説明においては、1つのデータ出力端子または入力端子に対して設けられたリードレジスタおよびライトレジスタの数は一定であり固定されているためラップ長と区別をつけるため「バースト長」として説明する。

#### 【0173】

A：第1のテスト回路

図17はこの発明の第1の実施例であるテスト回路を備えたSDRAMのデータ読出系の構成を示す図である。図17においては1ビットのデータに関連する部分のみが示される。これはSDRAMは×1ビット構成であってもよいためである。図17において、図8および図13に示す構成と対応する部分には同一の参照番号を付し、その詳細説明は省略する。

#### 【0174】

図17において、バンク選択回路TB8は、図8に示す三状態インバータバッファTB8AおよびTB8Bとラッチ回路LA-AおよびLA-Bに対応する。三状態バッファ4およびラッチ回路154は図8に示すラッチ回路150を構成する。この三状態インバータバッファ4は、制御信号DOTおよび／DOTに加えてさらにテストモード指示信号TEおよび／TEに応答する。この三状態イン

バータバッファ4は、テストモード指示信号TEが不活性状態の“L”にあるときには制御信号DOTおよび/DOTに従って動作する。テストモード指示信号TEが活性状態の“H”のときには出力ハイインピーダンス状態となる。

#### 【0175】

テスト回路は、リードレジスタRG0A～RG7Aが出力する8ビットデータ（すなわちバースト長のデータ）を1ビットのデータに縮退する縮退回路1と、バンク選択信号BAに従ってバンク#Aおよびバンク#Bの一方の縮退回路1の出力を選択するバンク選択回路2と、テストモード指示信号TEに応答して活性状態となり、バンク選択回路2の出力をラッチ回路154へ伝達する三状態インバータバッファ3を含む。このバンク選択回路2の構成は図8に示す三状態インバータバッファTB8AおよびTB8Bと同一の構成を利用することができる。他の構成は図8に示すものと同様であり、その詳細は説明しない。

#### 【0176】

縮退回路1は、このリードレジスタRG0A～RG7A（バンク#Aにおいては）から読出されたデータがすべて論理が一致している場合には“H”の信号を出力し、一致していない場合には“L”の信号を出力する。たとえば8入力AND回路、一致検出回路、EXNOR回路などを利用することができる。次に動作について説明する。

#### 【0177】

図18は、テストモード時におけるデータ読出動作を示すタイミングチャート図である。以下、テスト動作モード時における動作について図18を参照して説明する。

#### 【0178】

時刻T1のタイミングでアクティブコマンドが与えられ、選択されたバンクにおいて行選択動作が実行される。このとき既にテストモード指示信号TEがテストモードを示す活性状態とされる。このテストモード指示信号TEは外部から未使用のピンへ直接与えられる信号であってもよい。また外部制御信号と特定のアドレスビットとの状態の組合わせにより発生されるものであってもよい。このアクティブコマンドに従って、通常動作時と同様にして、対応のワード線が選択さ

れ、その選択されたワード線に接続される複数のメモリセルのデータが対応のビット線の上に読出され、センスアンプで増幅される。

時刻T2のタイミングでリードコマンドが与えられると列アドレスが決定し、列選択線CSLが選択状態とされる。これにより、1つのデータ出力端子Qに対して8つのグローバルIO線対がローカルIO線対を介してビット線対と接続され、選択されたメモリセルのデータがリードレジスタRG0A～RG7A（またはRG0B～RG7B）において増幅されてラッチされる。

#### 【0179】

縮退回路1は、このリードレジスタRG0A～RG7A（またはRG0B～RG7B）にラッチされたデータを1ビットのデータに縮退する。すなわち、この8ビットのデータの論理が一致している場合には“H”の信号を出力し、不一致の場合には、“L”の信号を出力する。

#### 【0180】

バンク選択回路2は、このリードコマンド入力時に与えられたバンクアドレスに従って対応のバンクを選択する。すなわちバンク#Aに設けられた縮退回路1またはバンク#Bに設けられた縮退回路1の出力を選択する。三状態インバータバッファ3は、テスト指示信号TEが“H”にあるため、このバンク選択回路2から伝達されたデータ信号をラッチ回路154へ伝達する。一方、三状態インバータバッファ4は、テストモード指示信号TEが“H”であり、出力ハイインピーダンス状態であるため、バンク選択回路TB8が動作しても、そのラップアドレスに従って読出されたデータはラッチ回路154へは伝達されない。

#### 【0181】

出力バッファ160は、出力イネーブル信号OEMに従ってラッチ回路154にラッチされたデータをデータ出力端子Qに出力する。この出力イネーブル信号OEAは、前述のごとく、レイテンシにより決定されるタイミングで活性状態となり、ラップ長により決定されるタイミングでリセットされる。これにより、8ビットのデータが1ビットに縮退されるため、ラップ長8に設定して、8ビットデータを連続的に読出す必要がなく（OEM（8）、Dout（8））、1ビットのデータを読出すだけでメモリセルのパス／フェールを判定することができる。

。すなわち図18に示す構成において、ラップ長1の出力イネーブル信号OEM(1)により8ビットのメモリセルのパス／フェールを判定することができ、テスト時間を大幅に短縮することができる。

#### 【0182】

図19はテストモード動作時におけるデータ書込動作を示す図である。

図19において、時刻T1においてアクティブコマンドが与えられ、選択されたバンクにおいて行選択動作が実行される。これは通常動作モード時と同様である。

#### 【0183】

次に、時刻T2においてライトコマンドが与えられると列アドレス信号が決定する。ラップアドレス発生回路204はこのテストモード指示信号TEが活性状態の“H”にあるため、このライトコマンドが与えられたとき、すべてのラップアドレスWWY0～WWY7を同時に選択状態の“H”とする。これにより、データ入力端子Dへ与えられたデータが入力バッファを介してライトレジスタWG0A～WG7Aへ同時に格納される。次いで転送指示信号WEEに従って同時に選択された8ビットのメモリセルがグローバルIO線対GIO0～GIO7へ接続される。このとき書込制御回路202はまたテストモード指示信号を受けているため、ライトコマンドが与えられると、ラップ長8で動作するのではなく、ラップ長1で動作し、1ビットのデータが格納されたタイミングで選択メモリセルへのデータ転送を実行する。これにより、各ライトレジスタWG0A～WG7Aへ順次テストデータを書込む場合に比べ大幅にテストデータの書込時間を短縮することができる。

#### 【0184】

図20は、ラップアドレス発生回路の構成の一例を示す図である。図20においては、一方のバンクに対して設けられたラップアドレス発生回路を示す。図20において、ラップアドレス発生回路202は、バンクアドレス信号BAと3ビット列アドレス信号A0、A1およびA2を受けてデコードするデコーダ302と、テスト指示信号TEに応答してデコーダ302の出力をすべて選択状態とする切換回路303と、切換回路303の出力をラッチし、クロック信号CLKに

応答して順次シフトさせるシフトレジスタ304を含む。切換回路303はデコーダ302の各出力に対して設けられるORゲートG0～G7を含む。シフトレジスタ304は、ライト検出回路204（図13参照）から与えられる書込指示信号 $\phi W$ に응答して活性化され、クロック信号CLKに従ってその格納データを順次シフトする。シフトレジスタはリング状に接続されており、すなわち、最終段のシフトレジスタの出力は初段のシフトレジスタの入力へ接続される。

#### 【0185】

デコーダ302は、与えられた信号BAおよびA0～A2をデコードし、その出力の1つを選択状態とする。切換回路303はテスト指示信号TEが不活性状態の“L”のときにはデコーダ302の出力を通過させる。シフトレジスタ304はこの切換回路303から与えられたデータをラッチする。すなわち、この状態ではラップアドレス信号WWY0～WWY7のうちのいずれかが選択状態となる。クロック信号CLKに응答してシフトレジスタ304がシフト動作を行ない、このラップアドレス信号WWY0～WWY7が順次選択状態とされる。

#### 【0186】

テスト動作時には切換回路303の出力がすべて選択状態の“H”となる。したがってこの場合シフトレジスタ304から発生されるラップアドレス信号WWY0～WWY7がすべて選択状態となる。

#### 【0187】

なお図20に示す構成ではラップアドレス発生回路はバンクそれぞれに設けられている。バンク#Aおよび#B共通に設ける場合には、このシフトレジスタ304から出力されるラップアドレス信号WWY0～WWY7をバンクアドレス信号BAに従ってマルチプレクスする回路が設けられればよい。

#### 【0188】

図21は、書込制御回路の構成の一例を示す図である。図21において、書込制御回路206は、ライト検出回路からの書込指示信号 $\phi W$ に응答して活性化され、クロック信号CLKをカウントするカウンタ305と、ラップ長設定回路307に設定されたカウント値とカウンタ305のカウント値とを比較する比較回路306を含む。ラップ長設定回路307は、通常はバースト長、すなわちラッ

ブ長8に設定される。テスト指示信号TEが“H”となると、ラップ長設定回路307はラップ長1に設定される。比較回路306からは書込データを転送するための転送指示信号WEEが発生される。

#### 【0189】

通常動作時には比較回路306は、ラップ長8のタイミングでデータ転送指示信号WEEを発生する。テスト動作時にはラップ長が1に設定されるため、カウンタ305のカウント値が1となったときすなわちライトコマンドが与えられたサイクルの次のクロック信号CLKの立上がりトリガとして、データ転送指示信号WEEを発生する。これにより、通常動作モード時とテスト動作モード時でデータ転送タイミングを切換えることができ、高速でテストデータを選択メモリセルへ書込むことができる。

#### 【0190】

なお、この図21に示す構成においては、ライトレジスタから選択メモリセルへのデータ転送はすべて同一のタイミングで行なわれるように説明している。これは通常動作時には、複数のライトレジスタにデータが書込まれたときにこの書込データを格納するライトレジスタから選択メモリセルへのデータ転送が行なわれる構成が用いられてもよい。

#### 【0191】

#### 〔縮退回路の構成〕

図22は図17に示す縮退回路の構成を示す図である。図22に示すように、このデータ縮退回路は2つの回路部分（図22（A）および図22（B））を含む。図22（A）において、データ縮退回路はプリチャージ信号PRCとリードレジスタに読込まれたメモリセルデータRDF<0～n>を受ける2入力NOR回路310と、プリチャージ信号PRCを反転するインバータ回路311と、メモリセルデータRDF<0～n>とインバータ回路311の出力とを受ける2入力NAND回路312を含む。

#### 【0192】

NOR回路310からデータRDTn<0～n>が出力される。NAND回路312からデータRDTp<0～n>が出力される。ここで、信号RDF<0



～ $n$ >は、メモリセルデータ $RDF0 \sim RDFn$ のうちのいずれか1ビットを示す。 $n$ ビットのメモリセルデータの各ビットに対してこの図22(A)に示す回路が設けられる。他の信号 $RDTp<0 \sim n>$ および $/RDTn<0 \sim n>$ および $/RDTp<0 \sim n>$ についても同様の表示が適用される。

#### 【0193】

図22(B)において、縮退回路はさらに、NOR回路310からのメモリセルデータ $/RDTn0 \sim /RDTnn$ をそれぞれのゲートに受ける $n$ チャンネルMOSトランジスタ $NT0 \sim NTn$ を含む第1のワイヤードNOR回路と、NAND回路312からのデータ $/RDTp0 \sim RDTpn$ をそれぞれのゲートに受ける $p$ チャンネルMOSトランジスタ $PT0 \sim PTn$ を含む第2のワイヤードNOR回路330と、この第1および第2のワイヤードNOR回路320および330の出力に所定の論理演算を施して1ビット縮退データ $DDFT$ を出力する論理回路340を含む。

#### 【0194】

第1のワイヤードNOR回路320においては、ノード $NO1$ と接地電位との間にトランジスタ $NT0 \sim NTn$ が並列に接続される。この第1のワイヤードNOR回路320はさらに、プリチャージ指示信号 $/PRC$ に応答してノード $NO1$ を電源電位レベルにプリチャージするための $p$ チャンネルMOSトランジスタ $PTP$ を含む。プリチャージ状態ではノード $NO1$ は“H”レベルに保持される。

#### 【0195】

第2のワイヤードNOR回路330においては、ノード $NO2$ と電源電位との間に互いに並列にトランジスタ $PT1 \sim PTn$ が接続される。この第2のワイヤードNOR回路330はさらに、プリチャージ信号 $PRC$ に応答してノード $NO2$ を接地電位にプリチャージするための $n$ チャンネルMOSトランジスタ $PTN$ を含む。プリチャージ時にはノード $NO2$ は“L”に保持される。

#### 【0196】

論理回路340は、第1のワイヤードNOR回路320の出力ノード $NO1$ 上の電位を受ける三状態インバータバッファ341aと、このインバータバッファ

341aの出力をラッチするラッチ回路342aと、第2のワイヤードNOR回路330の出力ノードNO2の電位を受ける三状態インバータバッファ341bと、このインバータバッファ341bの出力をラッチするラッチ回路342bと、ラッチ回路342bのラッチ信号を反転するインバータ回路343と、ラッチ回路342aのラッチデータ信号とインバータ回路343の出力信号とを受ける2入力NAND回路344を含む。NAND回路344から1ビット縮退データDDFTが出力される。

#### 【0197】

三状態インバータバッファ341aおよび341bは、プリチャージ信号PRCが“H”にあり、プリチャージ状態を示している場合には出力ハイインピーダンス状態となる。プリチャージ信号PRCが“L”となるとインバータバッファ341aおよび341bはインバータとして機能する。次にこの図22に示す縮退回路の動作をその動作波形図である図23を参照して説明する。

#### 【0198】

スタンバイ状態においては、プリチャージ信号PRCは“H”にある。このとき、NOR回路310の出力 $\text{RDT}_{n<0\sim n>}$ は“L”である。一方、NAND回路312の出力するデータ信号 $\text{RDT}_{p<0\sim n>}$ は“H”にある。この状態では、第1および第2のワイヤードNOR回路320および330においては、トランジスタ $\text{NT}_{0\sim \text{NT}_n}$ および $\text{PT}_{0\sim \text{PT}_n}$ がすべてオフ状態であり、プリチャージ用のトランジスタPTPおよびPTNがオン状態である。したがって、ノードNO1およびNO2は、それぞれ、“H”および“L”にプリチャージされている。

#### 【0199】

リードコマンドが与えられると選択されたメモリセルのデータが読出されてリードレジスタへ伝達される。読出されたデータが確定すると、プリチャージ信号PRCが“L”に立下がり、その反転信号 $\text{PRC}$ が“H”に立上がる。これにより、NOR回路310およびNAND回路312がインバータ回路として動作し、データ信号 $\text{RDT}_{n<0\sim n>}$ および $\text{RDT}_{p<0\sim n>}$ はメモリセルの読出データ $\text{RDF}_{<0\sim n>}$ の反転信号となる。

## 【0200】

ワイヤードNOR回路320および330においては、トランジスタPTPおよびPTNがそれぞれオフ状態となる。また、トランジスタNT0～NTnおよびPT0～PTnはこの読出されたデータ信号に応じてオンおよび／またはオフ状態となる。

## 【0201】

論理回路340においては、インバータバッファ341aおよび341bが出力ハイインピーダンス状態から解放され、それぞれノードNO1およびNO2への信号電位を判定し、ラッチ回路342aおよび342bのラッチデータをこのノードNO1およびNO2上の信号電位に対応した電位レベルに設定する。

## 【0202】

NAND回路344の出力する縮退データビットDDFTは、ラッチ回路342aおよび342bのラッチする信号電位に応じて“H”または“L”となる。

## 【0203】

メモリセルから読出されたデータRDF<0～n>がすべて“H”の場合、信号／RDTn<0～n>および／RDTp<0～n>はすべて“L”となる。この場合には、トランジスタNT0～NTnがすべてオフ状態、トランジスタPT0～PTnはすべてオン状態となり、ノードNO1およびNO2の電位はともに“H”となる。したがって、ラッチ回路342aおよび342bがラッチする信号電位は“L”となり、NAND回路344が出力する縮退データビットDDFTは“H”となる。

## 【0204】

メモリセルから読出されたデータRDF<0～n>がすべて“L”の場合には、データ信号／RDTn<0～n>および／RDTp<0～n>がすべて“H”となる。この場合には、トランジスタNT0～NTnがすべてオン状態、トランジスタPT0～PTnがすべてオフ状態となり、ノードNO1およびNO2の電位はともに“L”となる。ラッチ回路342aおよび342bのラッチ信号電位がともに“H”となり、NAND回路334が出力する縮退ビットデータDDFTは“H”となる。

## 【0205】

メモリセルから読出されたデータ  $RDF<0 \sim n>$  が“H”と“L”のデータを含む場合には、トランジスタ  $NT0 \sim NTn$  のいずれかがオン状態となり、またトランジスタ  $PT0 \sim PTn$  のいずれかがオン状態となる。この場合には、ノード  $NO1$  の電位がオン状態のトランジスタを介して放電されて“L”となり、ノード  $NO2$  の電位はオン状態のトランジスタを介して充電されて“H”となる。ラッチ回路  $342a$  が“H”の信号をラッチし、ラッチ回路  $342b$  が“L”の信号をラッチする。この場合、NAND回路  $344$  は、両入力に“H”の信号を受けるため、その出力する信号  $DDFT$  は“L”とされる。この信号  $DDFT$  が“L”の場合には、同じデータが書込まれているにもかかわらず、その出力された信号の論理が異なっているため、不良メモリセルが存在していることを示す。すなわち、ラッチ回路  $342a$  および  $342b$  にラッチされた信号電位により、複数のメモリセルデータの論理が一致している場合と論理が不一致の場合をそれぞれ“H”および“L”の二値で表現することができ、図24に示すように、複数のメモリセルのデータの意一致／不一致を一度に判別して良／不良を高速で判定することができる。

## 【0206】

なお、この縮退回路は、先の構成においてはリードレジスタの出力部に設けられており、リードレジスタにおいてラッチされたデータを受けるように示されている。この場合リードレジスタに含まれるプリアンプにより増幅されたデータが縮退回路へ与えられてもよく、またグローバルIO線対GIO上に現われたデータが縮退回路へ与えられてもよい。

## 【0207】

上述のような構成の縮退回路を用いることにより標準DRAMにおいてマルチビットテストモードを実現するために用いられているEXOR回路の構成と比べて大幅に素子数を低減することができ、回路規模を小さくすることができ、小占有面積の縮退回路を実現することができる。

## 【0208】

なおプリチャージ信号  $PRC$  は、テストモード時にはリードコマンドが

与えられたとき、一定の時間（リードレジスタに格納されるデータが確定状態となるかまたはグローバルIO線対上の読出データが確定状態となったとき）遅延させた後、この遅延信号をトリガとしてワンショットパルスの形態で発生される。このようなプリチャージ信号を発生するための回路構成は容易に実現することができる。

#### 【0209】

上述の構成は出力端子が1個の場合にも適用できる。通常、SDRAMは、 $\times 8$ ビット、 $\times 16$ ビットと多ビット入出力構成を備える。この場合、縮退回路は各データ出力端子ごとに設けられる。図25に、データ出力端子が $n$ 個（ $Q_0 \sim Q_n$ ）の場合の縮退回路の配置を示す。図25に示すように、縮退回路 $1-0 \sim 1-n$ は、それぞれ対応の出力バッファ $160-0 \sim 160-n$ を介して1ビット縮退データを対応のデータ出力端子 $Q_0 \sim Q_n$ へ伝達する。

#### 【0210】

##### B：縮退回路の第2の配置

図26はテスト回路の他の構成を示す図である。図26に示すように、各データ出力端子 $Q_0 \sim Q_n$ に対応して設けられた縮退回路 $1-0 \sim 1-n$ が出力する縮退データビット $CQ_0 \sim CQ_n$ がさらに第2の縮退回路99により1ビットデータに縮退される。この構成の場合、 $\times 8$ ビット構成では64ビットのメモリセルデータが1ビットに縮退されるため、個々のデータ出力端子ごとのデータを見てパス／フェールを判定する必要がなく、外部テスト回路の構成が簡略化される。

#### 【0211】

図27は、図26に示す第2の縮退回路の構成の一例を示す図である。図27において、第2の縮退回路99は、データ出力端子それぞれに対して設けられた縮退回路 $1-0 \sim 1-n$ からの1ビット縮退データ $CQ_0 \sim CQ_n$ を並列に受けて1ビット縮退データ $CQ$ を出力する。この第2の縮退回路99は、縮退データビット $CQ_0 \sim CQ_n$ を受ける $n$ 入力NAND回路401と、NAND401の出力を受けるインバータ回路402を含む。NAND回路401とインバータ回路402により、縮退データビット $CQ_0 \sim CQ_n$ に対するAND演算が実行さ

れる。縮退データビット $CQ_0 \sim CQ_n$ のうち1ビットでも“L”のデータがあれば（フェールを示す信号があれば）縮退データビット $CQ$ は“L”となる。縮退データビット $CQ_0 \sim CQ_n$ がすべてパス状態を示す“H”のときのみ最終縮退データビット $CQ$ は“H”となる。したがって、この最終縮退データビット $CQ$ の“H”および“L”により、同時に選択された複数のメモリセル（バースト長 $\times n$ 個のメモリセル）のパス／フェールを一度に判定することができる。

#### 【0212】

図28は、第2の縮退回路の他の構成を示す図である。図28において、第2の縮退回路99は、縮退回路 $1-1 \sim 1-n$ それぞれに対して設けられる単位縮退ゲート $410-1 \sim 410-n$ を含む。単位縮退ゲート $410-1 \sim 410-n$ の各々は、2入力NANDゲートと、このNANDゲートの出力を受けるインバータ回路とを含む。単位縮退ゲート $410-i$ は、対応の縮退回路からの縮退データビット $CQ_i$ と前段の単位縮退ゲート $410-(i-1)$ の出力を受ける。単位縮退ゲート $410-i$ はAND演算を行なっている。初段の単位縮退ゲート $410-1$ は、縮退データビット $CQ_0$ および $CQ_1$ を受ける。

#### 【0213】

この構成においても、いずれかの縮退データビットが“L”であれば、最終縮退データビット $CQ$ は“L”となる。

#### 【0214】

図27に示す構成は、ゲート段数が少なく、遅延時間が短いという利点を備える。図28に示す構成は、2入力ゲートで構成されるため、占有面積を小さくすることができるという利点を備える。

#### 【0215】

図29は第2の縮退回路のさらに他の構成を示す図である。図29に示す第2の縮退回路99は、所定数の縮退回路の出力ごとに設けられる縮退ゲート $412-1, \dots, 412-m, \dots, 412-p$ と、これら縮退ゲート $412-1 \sim 412-p$ の出力を受ける縮退ゲート $412-q$ を含む。図29においては、縮退ゲート $412-1 \sim 412-p$ はそれぞれ3つの縮退データビット（すなわち3つの縮退回路の出力）に対して設けられるように示される。縮退ゲート $412-1 \sim 41$

2 q の各々は与えられた入力に対する AND 演算を実行する。この構成の場合、複数のデータ出力端子が設けられていても、配線面積およびゲート占有面積を最適化しかつゲート段数を必要最小限に抑えて遅延時間を小さくすることができる。

#### 【0216】

図29に示す構成は、所定数の縮退回路の出力が一旦縮退された後、次いでこれらの縮退データをさらに縮退して最終縮退データビットが生成されている。この場合、図28に示すように、縮退ゲート412-1の出力が隣接する縮退ゲートへ伝達されるように構成されてもよい。すなわち図28に示す構成と同様縮退ゲートの出力が隣接縮退ゲートへ伝達される構成が用いられてもよい。

#### 【0217】

図30は、最終縮退データビットの出力部の構成例を示す図である。図30においては、テスト指示信号TEに従ってその入力端子が切替わるスイッチ回路SWが出力バッファ160-0~160-nと通常動作時に読出データが伝達される部分（図17に示すバンク選択回路TB8）との間に設けられる。テストモード時には、切替回路SWはこの最終縮退データビットCQをすべての出力バッファ160-0~160-nへ伝達する。この場合、データ出力端子Q0~Qnに同一の論理のデータが出力されるため、出力バッファ160-0~160-nを含むデータ出力回路の誤動作をも識別することが可能となる。

#### 【0218】

図31は、最終縮退データビットの出力部の他の構成を示す図である。図31において、特定の出力バッファ（図31においては出力バッファ160-n）に対してのみ切替回路SWaが設けられる。切替回路SWaは、テスト指示信号TEに従ってその入力端子をリードレジスタ部または最終縮退データビットのいずれかに設定する。テストモード時には、特定の出力バッファ（出力バッファ160-n）に対してのみ最終縮退データビットCQが伝達される。すなわち特定のデータ出力端子（図31においては出力端子Qn）に対してのみ最終縮退データビットが出力される。この場合には、特定のピン端子に現われるデータのみを見て良／不良判別することができる。

## 【0219】

図32は、最終縮退データビットのさらに他の出力形態を示す図である。図32に示す構成においては、最終縮退データビットCQは未使用のピン端子420に出力される。この場合、出力バッファを動作させる必要がなく、消費電流を低減することができる。

## 【0220】

さらに、上述の説明において、最終縮退データビットCQのみが出力されているが、各データ出力端子に対する縮退データビットと最終縮退データビットがともに出力可能なように構成されてもよい。

## 【0221】

## C：テスト回路の変更例

図33はこの発明によるテスト回路のさらに他の構成を示す図である。図33においては、SDRAMは、8ビットのデータ出力端子Q0～Q7を有し、各データ出力端子Q0～Q7それぞれに対し、データ読出系IO0～IO7が設けられる。このデータ読出系IO0～IO7はそれぞれバンク#Aおよびバンク#Bそれぞれにおいて設けられる。縮退回路500は、このバンク#Aおよびバンク#Bそれぞれにおいて、データ読出系IO0～IO7に対し共通に設けられる。すなわちこの縮退回路500は、同時に選択されたメモリセルのデータ（一例として64ビット）を一度に1ビットの縮退データに縮退する。

## 【0222】

バンク#Bにおいても同様の縮退回路500が設けられる。この縮退回路500の出力する縮退データビットは、特定のデータ出力端子（図33においては出力端子Q7）へ伝達される。この伝達を可能にするために、縮退回路500の出力を選択するためのバンク選択回路2と、バンク選択回路2の出力をテストモード指示信号TEに応答して通過させる三状態インバータバッファ3が設けられる。この三状態インバータバッファ3の出力がラッチ回路154-7および出力バッファ160-7を介してデータ出力端子Q7へ伝達される。残りのデータ出力端子Q0～Q6に対しては縮退回路500からの縮退データビットは出力されない。この縮退回路500の構成は先に図22に示した回路を利用して実現される。



## 【0223】

動作は先に図17を参照して説明したものと同一である。バースト長×8ビットのメモリセルのデータが一度に1ビットの縮退データビットに縮退され、バンク選択回路2、インバータバッファ3、ラッチ回路154-7および出力バッファ160-7を介してデータ出力端子Q7へ出力される。この場合、縮退回路500の出力する縮退データビットがすべてのデータ出力端子Q0～Q7へ出力されるように構成されてもよい（図30参照）。

## 【0224】

## 〔テストデータの書込系〕

先に図19を参照して説明したテストデータの書込動作時にはラップアドレス信号WWY0～WWY7が同時に選択状態となっている。これにより1つのデータ入力端子に関連する書込レジスタへ同一データを1クロックサイクルで書込むことができる。この場合、データの書込方法としては2つの方法が考えられる。

## 【0225】

図34はテストデータの書込態様を説明するための図である。図34に示す構成においては、データ入力端子D0ないしD7に対応して設けられた入力バッファ200-0～200-7からのテストデータがそれぞれ対応のライトレジスタ群502-0～502-7へ与えられる。ライトレジスタ群502は、先に説明したライトレジスタWG0～WG7を含む。したがって、ライトレジスタには、対応のデータ入出力端子へ与えられたテストデータが書込まれる。

## 【0226】

図35はテストデータの他の書込態様を示す図である。図35に示す構成においては、入力バッファ200-0～200-7とライトレジスタ群502-0～502-7の間に切換回路510が設けられる。切換回路510は、テストモード指示信号TEに応答して導通するスイッチSWT0と、テストモード指示信号TEに応答してこのスイッチSWT0から伝達された信号を選択するスイッチ回路SWT1～SWT7を含む。スイッチSWT1～SWT7はそれぞれ入力バッファ201-1～201-7に対応して設けられる。通常動作時には、スイッチ

回路SWT1～SWT7は対応の入力バッファ200-1～200-7の出力を選択する。

#### 【0227】

テストモード指示信号TEが活性状態となると、スイッチ回路SWT0が導通状態となり、入力バッファ200-0から与えられた書込データがスイッチ回路SWT1～SWT7により選択されて対応のライトレジスタ群502-1～502-7へ伝達される。したがって、この場合には、データ入力端子D0へ与えられたテストデータがライトレジスタ群502-0～502-7に伝達される。すなわち、特定のデータ入力端子（図35に示す構成ではデータ入力端子D0）へ与えられたデータがすべてのライトレジスタへ1クロックサイクルで書込まれる。この場合、×8ビット構成のSDRAMにおいても、1ビットのテストデータを与えるだけでテストデータの書込を行なうことができ、効率的にテストデータの書込を行なうことができる。

#### 【0228】

D：テスト回路のさらに他の構成

図36はこの発明に従うSDRAMのデータ読出系のさらに他の構成を示す図である。図36に示す構成においては、バンク#Aおよびバンク#Bに設けられた縮退回路1aおよび1bからの縮退データビットを受けるゲート回路10と、このゲート回路10の出力をテストモード指示信号TEに従って通過させるインバータバッファ3が設けられる。すなわち、図36に示す構成においては、バンク#Aおよび#Bにおいて選択されたメモリセルのデータがゲート回路10によりさらに縮退される。この場合、2つのバンクに対し同時にテストを実行することができ、より高速でテストを行なうことができる。

#### 【0229】

縮退回路1aおよび1bが、データ出力端子Qそれぞれに対応して設けられていてもよく、また先に図33に示すように、すべてのデータ出力端子に対し共通に設けられるものであってもよい。ゲート回路10は、その両入力がともに“H”のときに“L”の信号を出力する。このゲート回路10の出力は三状態インバータバッファ3により反転される。したがって、テストモード時において、バン

ク # A および バンク # B において選択されたメモリセルのデータの論理がすべて一致している場合には、バス状態を示す“H”の信号が出力される。通常動作時には、バンク選択回路 T B 8 および インバータバッファ 4 により選択されたメモリセルデータが指定されたバンクアドレスに従って選択されて読出される（三状態インバータバッファ 3 は通常動作モード時には出力ハイインピーダンス状態にある）。

#### 【0230】

バンク # A および バンク # B はそれぞれ独立に活性化およびプリチャージが実行される。したがって、この図 3 6 に示す構成において、テスト動作時には、アクティブコマンドを与えてバンク # A を活性状態とし、次いでバンク # B に対するアクティブコマンドを与えてバンク # B を活性状態とする。続いて、バンク # A および # B に対しそれぞれリードコマンドを与える。したがって、バンク # A および バンク # B それぞれに対してアクティブコマンドおよびリードコマンドを入力する必要がある。テスト動作モード時には、1つのコマンドで両方のバンクに対し動作指示を与える方が便利である。このための構成を図 3 7 に示す。

#### 【0231】

図 3 7 は、バンク選択活性化回路の構成を示す図である。この図 3 7 に示すバンク選択活性化回路は図 5 に示す第 2 の制御信号発生回路 1 1 8 に含まれる。

#### 【0232】

図 3 7 において、バンク選択活性化回路は、バンクアドレス信号 B A を反転するインバータ回路 6 1 と、バンクアドレス信号 B A とテストモード指示信号の反転信号 / T E を受ける 2 入力 N A N D 回路 6 2 と、インバータ回路 6 1 の出力と反転テストモード指示信号 / T E とを受ける 2 入力 N A N D 回路 6 3 と、活性化制御信号 A C T と N A N D 回路 6 2 の出力を受ける 2 入力 N A N D 回路 6 4 と、活性化制御信号 A C T と N A N D 回路 6 3 の出力を受ける 2 入力 N A N D 回路 6 5 と、N A N D 回路 6 4 および 6 5 の出力をそれぞれ反転するインバータ回路 6 6 および 6 7 を含む。

#### 【0233】

活性制御信号 A C T は図 5 に示す第 1 の制御信号発生回路 1 1 6 から発生され

る信号 $\phi R$ 、RADE、およびCADEに相当する。すなわちこの活性制御信号ACTはアクティブコマンドが与えられたときに活性状態となり、アドレス信号の取込みおよび行選択動作を開始させる。この活性制御信号はプリチャージコマンドが与えられたときに不活性状態となる。

#### 【0234】

内部活性化信号ACT-Aは、バンク#Aを活性化するための信号であり、内部活性化信号ACT-Bはバンク#Bを活性化するための信号である。この内部活性化信号ACT-AおよびACT-Bが“H”の活性状態となると対応のバンクの活性化（行選択動作）が開始される。すなわちこの内部活性化信号ACT-AおよびACT-Bは、標準DRAMにおける内部RAS信号に対応するものと考えられる。次に、動作について図38および図39を参照して説明する。

#### 【0235】

まず図38を参照してテスト動作モード時の動作について説明する。テストモード動作時には、反転テストモード指示信号/ $\overline{TE}$ は“L”にある。この状態においては、NAND回路62および63の出力がともに“H”となる。すなわち、バンクアドレス信号BAが無視される状態となり、バンクアドレス信号の“0”および“1”にかかわらず両バンクが指定される状態となる。

#### 【0236】

アクティブコマンドが与えられてある時間が経過すると、活性制御信号ACTが“H”に立上がる。この活性制御信号ACTの立上がりに対応してNAND回路64および65が“L”の信号を出力し、続いてインバータ回路66および67が“H”の信号を出力する。すなわち、内部活性化信号ACT-AおよびACT-Bがともに“H”の状態となり、バンク#Aおよびバンク#Bがともに活性化される。したがって、図36に示す構成において、バンク#Aおよびバンク#Bがほぼ同じタイミングで縮退回路1aおよび1bが縮退データビットを出力することができ、高速でメモリセルのテストを行なうことができる。

#### 【0237】

次に図39を参照して、ノーマルモード時の動作について説明する。通常動作モード時には、反転テスト指示信号/ $\overline{TE}$ は“H”に設定される。この状

態においては、NAND回路62および63はインバータバッファとして動作する。

#### 【0238】

今バンクアドレス信号BAが“0”（“L”電位に相当）に設定されたとする。アクティブコマンドが与えられた後ある時間が経過すると活性制御信号ACTが“H”に立上がる。バンクアドレス信号BAは“L”の電位レベルであるため、NAND回路62の出力が“H”、NAND回路63の出力が“L”に確定している。活性制御信号ACTが“L”から“H”に立上がると、それまで“H”であったNAND回路64および65の出力は、それぞれ“L”および“H”となる。応じて内部活性化信号ACT-Aが“H”に立上がり、バンク#Aが活性化される。

#### 【0239】

データ読出時には、バンク選択回路TB8がバンクアドレス信号BAに従って、バンク#Aから読出されたデータを選択してインバータバッファ4に伝達する。

#### 【0240】

なお上述の動作においては、両バンク#Aおよび#Bを同時に活性状態としてデータの読出を行なっている。テストデータ書込時においても、このバンク#Aおよびバンク#Bを同時に活性化することにより、ライトレジスタおよび書込回路がともに動作する。両バンク#Aおよび#Bに対してテストデータを同時に書込むことができる。

#### 【0241】

なお、上述の説明においては、バンクの数は2個であるとして説明しているがこのバンクの数は4個等別の数であってもよい。また、データ入力端子および出力端子の数は8個に限定されない。

#### 【0242】

#### 【発明の効果】

以上のように、この発明によれば、テストモード時においては、複数のメモリセルのデータを縮退することにより同時にテストを行なうことができ、テスト時

間を大幅に短縮することができる。

【0243】

すなわち請求項1の発明に従えば、データ出力端子に関連して予め定められた複数のメモリセルのデータが同時に読出されて1ビットのデータに縮退されるため、複数のメモリセルのテストを一度に行なうことができ、高速でテストを行なうことができる。

【0244】

請求項2に係る発明に従えば、複数のデータ出力端子それぞれに対して予め定められた数のメモリセルのデータが同時に読出され、各データ出力端子に対応する所定数のメモリセルをそれぞれ1ビットのデータに縮退して対応のデータ出力端子に出力しているため、テスト時間を大幅に短縮することができる。

【0245】

請求項3に係る発明に従えば、複数のデータ出力端子それぞれに関して選択された複数のメモリセルのデータが1ビットのデータに縮退されて特定の出力端子を介して出力されるため、複数のメモリセルのテストを一度に行なうことができ、テスト時間を大幅に短縮することができる。

【0246】

請求項4に係る発明によれば、複数のバンクを各々において、複数のメモリセルのデータを同時に読出し、1ビットのデータに縮退して1ビットのテストデータに縮退した後、各バンクからの1ビットの縮退データビットをさらに1ビットの縮退データに縮退して出力しているため、複数のバンクに対して同時にテストを行なうことができ、テスト時間を大幅に短縮することができる。

【0247】

請求項5に係る発明に従えば、複数のバンクそれぞれにおいて並列に複数のメモリセルデータの縮退が行なわれ、続いて複数のバンクからの縮退データの縮退を実行しているため、複数のバンクに対し同時にテストを実行することができ、効率的にテストを行なってテスト時間を短縮することができる。

【0248】

請求項6に係る発明に従えば、テストモード時には複数のメモリセルへ同一デ

ータが同時に書込まれるため、テストデータを書込む時間を大幅に短縮することができ、テスト時間を短縮することが可能となる。

【0249】

請求項7に係る発明に従えば、複数のデータ入力端子それぞれに対して、1クロックサイクルに与えられたテストデータが同時に対応の複数のライトレジスタに書込まれるため、テストデータを書込むための時間を大幅に短縮することができる。

【0250】

請求項8に係る発明に従えば、特定のデータ入力端子に与えられたテストデータが同時にすべてのライトレジスタに書込まれるため、1ビットのテストデータで多ビット構成の記憶装置へのテストデータの書込を行なうことができ、多ビット構成のSDRAMであっても、×1ビット用のテストパターンを用いてテストを行なうことができるとともに、また複数のメモリセルへのデータ書込が同時に一括して行なわれるため、テストデータの書込時間を大幅に短縮することができる。

【0251】

請求項9に係る発明に従えば、テストモード時には複数のバンクを同時に活性状態としているため、複数のバンクに対し同時にテストを行なうことができ、テスト時間を大幅に短縮することができる。

【0252】

請求項10に係る発明に従えば、縮退データビットを生成するための回路を、第1および第2のワイヤード回路で構成したため、少ない素子数で多数のメモリセルのデータの一致／不一致を判定する回路を実現することができ、小占有面積のテスト回路を実現することができる。

【図面の簡単な説明】

【図1】

この発明が適用されるSDRAMのチップレイアウトの一例を示す図である。

【図2】

図1に示すSDRAMのメモリアレイの配置を示す図である。

## 【図3】

1本の列選択線とデータ入出力端子との対応関係を示す図である。

## 【図4】

この発明が適用されるSDRAMのメモリセルの内部の構成を示す図である。

## 【図5】

この発明が適用されるSDRAMの制御信号発生系の構成を示すブロック図である。

## 【図6】

図5に示す第1の制御信号発生回路の構成を概略的に示す図である。

## 【図7】

この発明が適用されるSDRAMの外部制御信号の状態とそのときに指定される動作モードとの関係を一覧にして示す図である。

## 【図8】

この発明が適用されるSDRAMのデータ読出系の構成を示す図である。

## 【図9】

図8に示すリードレジスタの構成の一例を示す図である。

## 【図10】

図9に示すリードレジスタの動作を示す信号波形図である。

## 【図11】

図9に示すデータ読出系の動作を示すタイミングチャート図である。

## 【図12】

図8に示すSDRAMのデータ読出時の外部制御信号の状態を示す図である。

## 【図13】

この発明が適用されるSDRAMのデータ書込系の構成を示す図である。

## 【図14】

図13に示すライトレジスタおよび書込回路の構成の一例を示す図である。

## 【図15】

図14に示す回路の動作を示す信号波形図である。

## 【図16】



図13に示す書込回路系の動作時における外部制御信号の状態を示す図である。

【図17】

この発明の一実施例であるSDRAMのデータ入出力系の構成を示す図である。

【図18】

図17に示すSDRAMのテストモード時におけるデータ読出動作を示すタイミングチャート図である。

【図19】

図17に示すSDRAMのテストモード時におけるデータ書込動作を示すタイミングチャート図である。

【図20】

図17に示すラップアドレス発生回路の構成の一例を示す図である。

【図21】

図17に示す書込制御回路の構成の一例を示す図である。

【図22】

図17に示す縮退回路の構成を示す図である。

【図23】

図22に示す縮退回路の動作を示す信号波形図である。

【図24】

図23に示す縮退回路の動作時の内部信号の状態およびそのときの縮退データビットの状態を一覧にして示す図である。

【図25】

この発明に従うSDRAMのテストデータの出力形態を示す図である。

【図26】

この発明に従うSDRAMのデータ縮退形態の他の構成を示す図である。

【図27】

図26に示す第2の縮退回路の構成を示す図である。

【図28】

図26に示す第2の縮退回路の他の構成を示す図である。

【図29】

図26に示す第2の縮退回路のさらに他の構成を示す図である。

【図30】

第2の縮退回路から出力される縮退データビットの出力形態の一例を示す図である。

【図31】

第2の縮退回路から出力される縮退データビットの出力形態の他の例を示す図である。

【図32】

第2の縮退回路から出力される縮退データビットの出力形態のさらに他の例を示す図である。

【図33】

この発明に従うSDRAMの他の構成を示す図である。

【図34】

この発明に従うSDRAMのテストデータの書込形態を示す図である。

【図35】

この発明に従うSDRAMのテストデータの書込形態の他の例を示す図である。

【図36】

この発明のさらに他の実施例であるSDRAMのテスト回路部の構成を示す図である。

【図37】

テストモード動作時において両方のバンクを同時に活性状態とするための選択活性回路の構成の一例を示す図である。

【図38】

図37に示す選択活性回路のテストモード時の動作を示す信号波形図である。

【図39】

図37に示す選択活性回路の通常動作モード時における動作を示す信号波形図

である。

【符号の説明】

WG0A～WG7A ライトレジスタ

WR0～WR7 書込回路

RG0A～RG7A リードレジスタ

SW 切換回路

SWa 切換回路

1 縮退回路

1-0～1-n 縮退回路

2 バンク選択回路

3 三状態インバータバッファ

4 三状態インバータバッファ

10 ゲート回路

99 第2の縮退回路

154 ラッチ回路

160 出力バッファ

160-0～160-n 出力バッファ

202 書込制御回路

204 ラップアドレス発生回路

320 第1のワイアードNOR回路

330 第2のワイアードNOR回路

340 論理回路

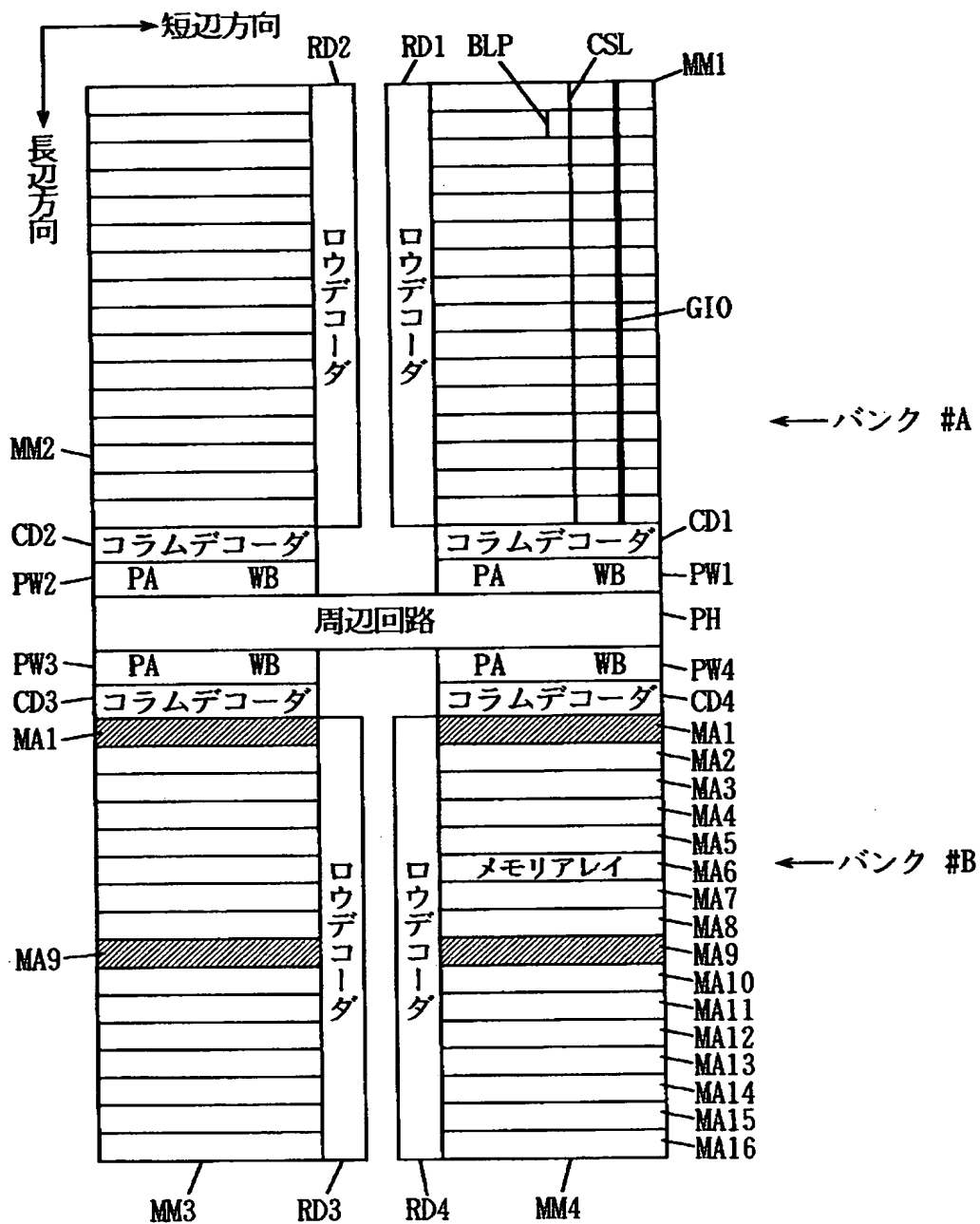
412-1～412-q 縮退ゲート

500 縮退回路

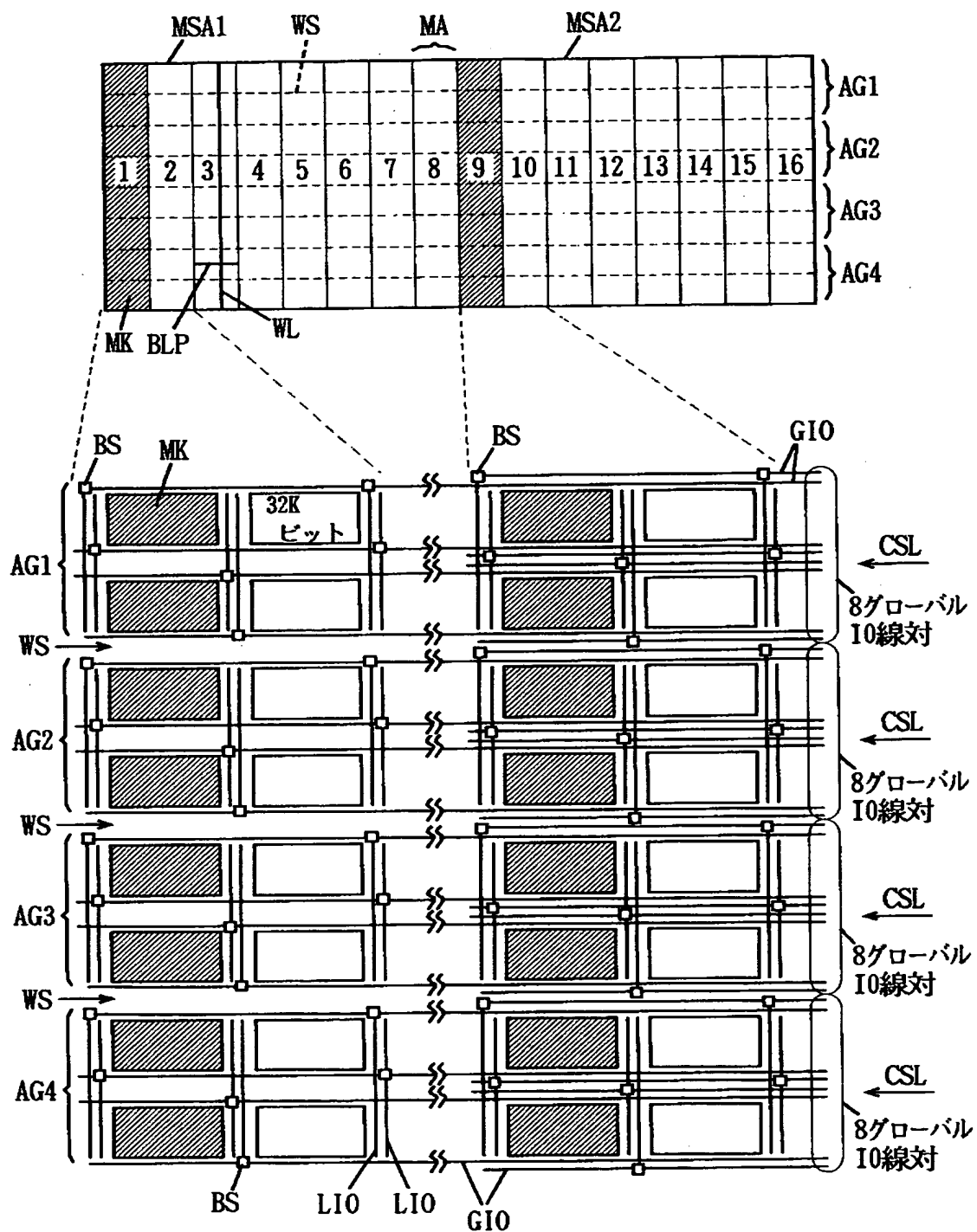
510 切換回路

【書類名】 図面

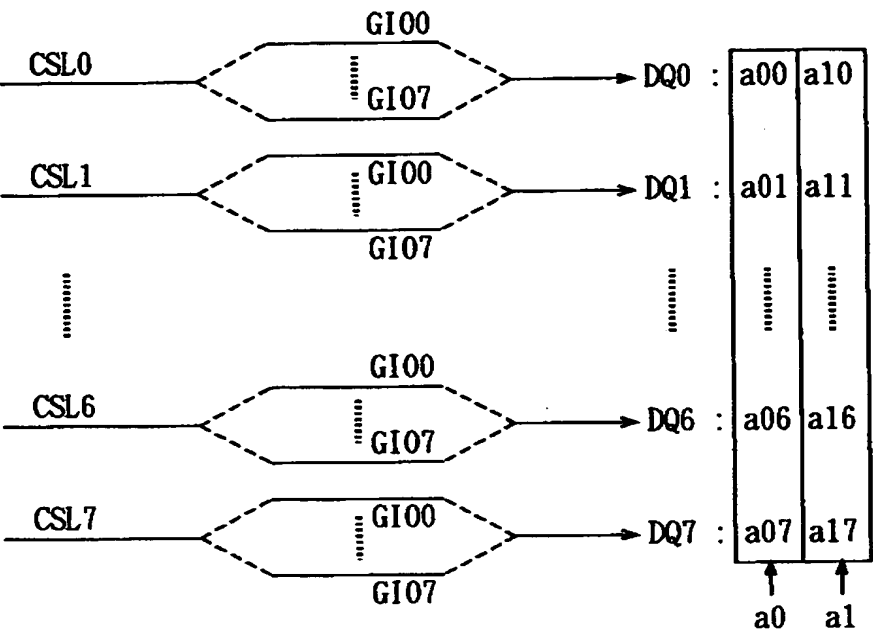
【図1】



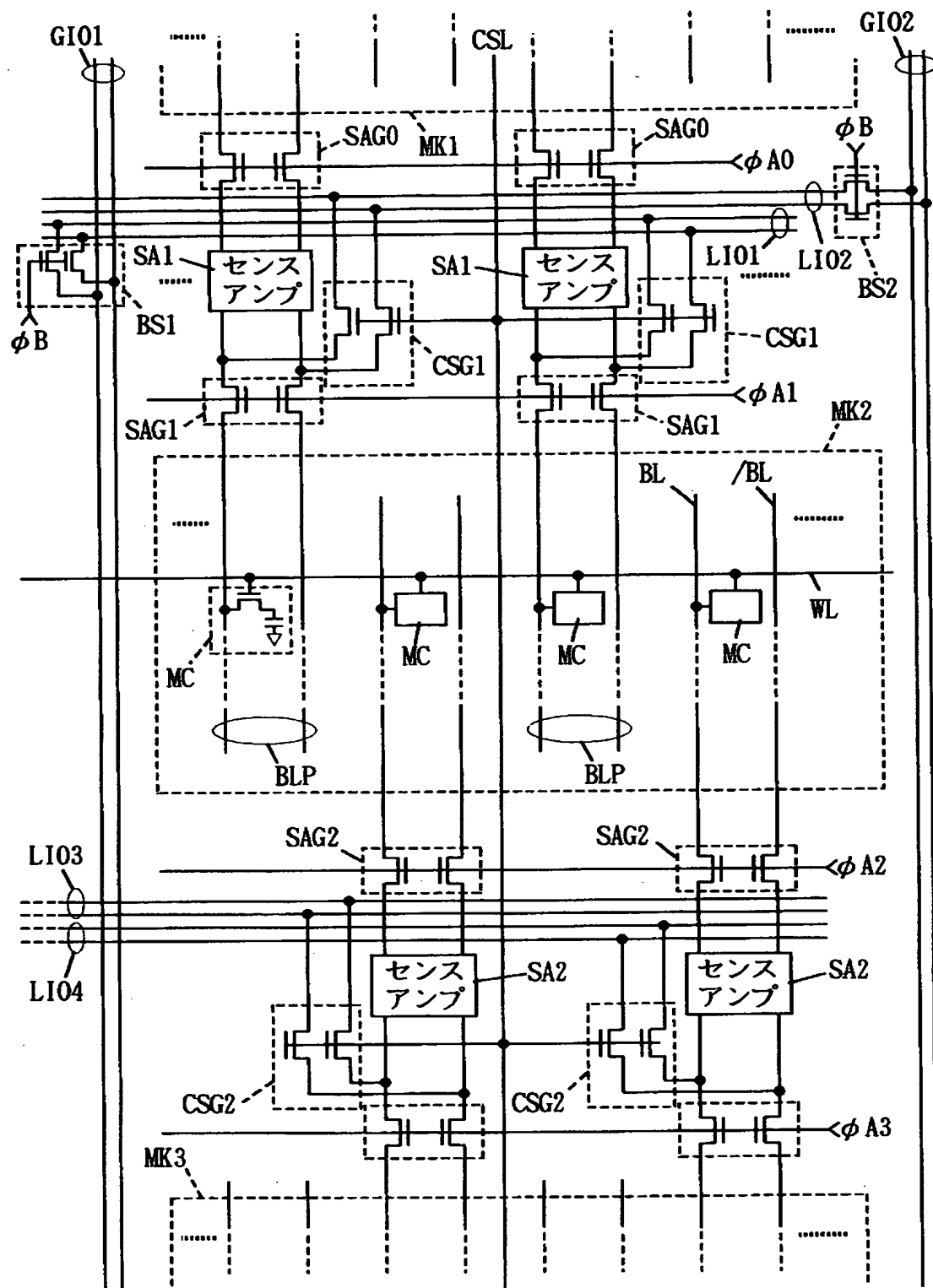
【図 2】



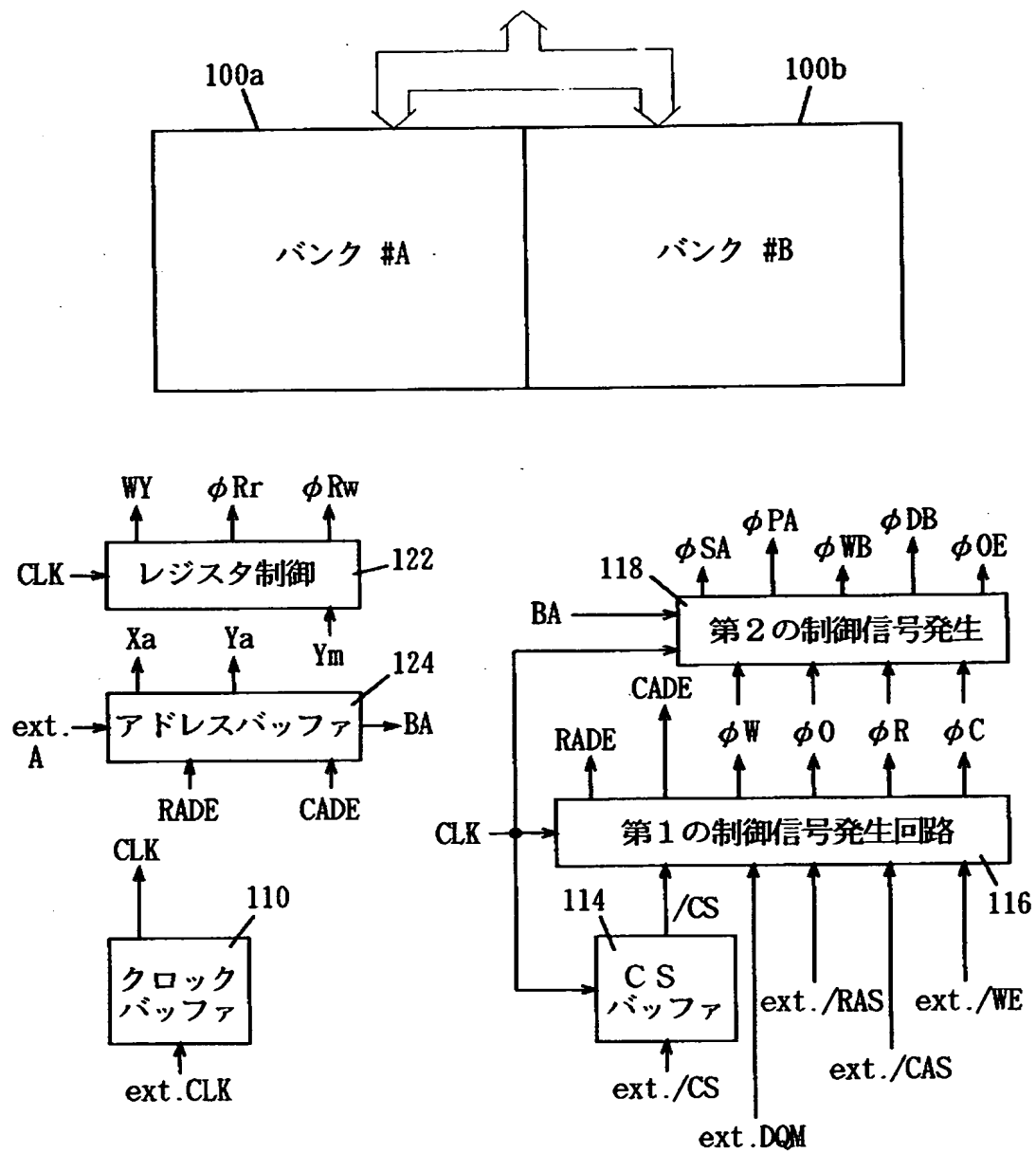
【图 3】



【図4】

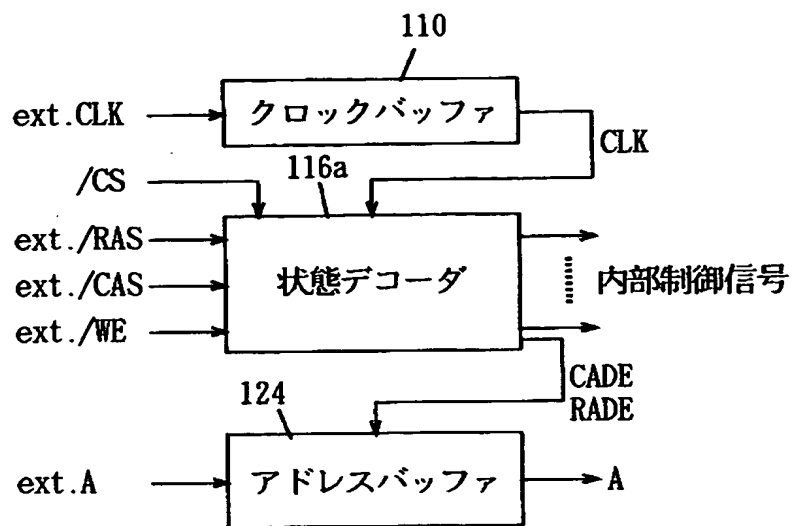


【図5】

PH



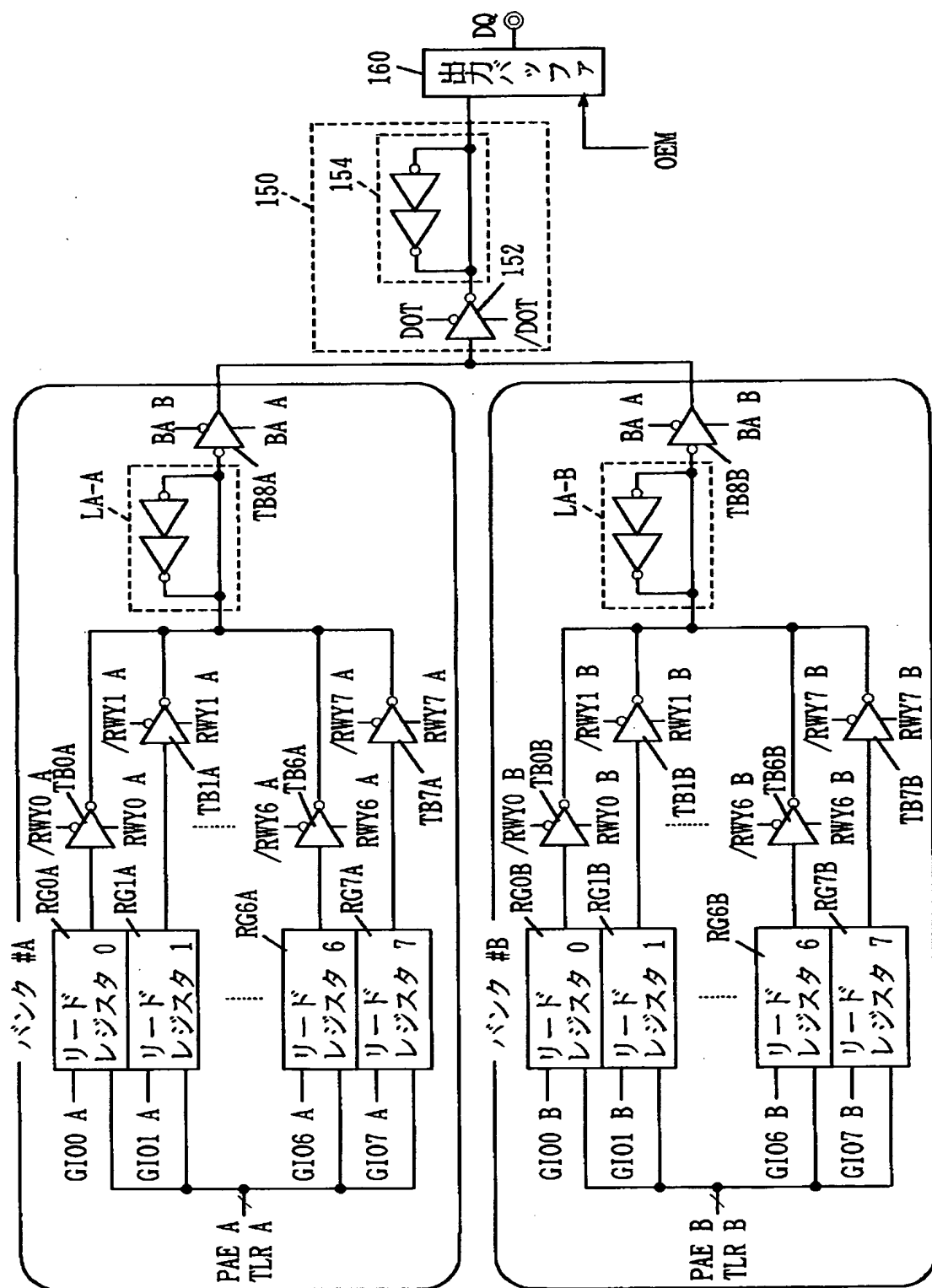
【図6】



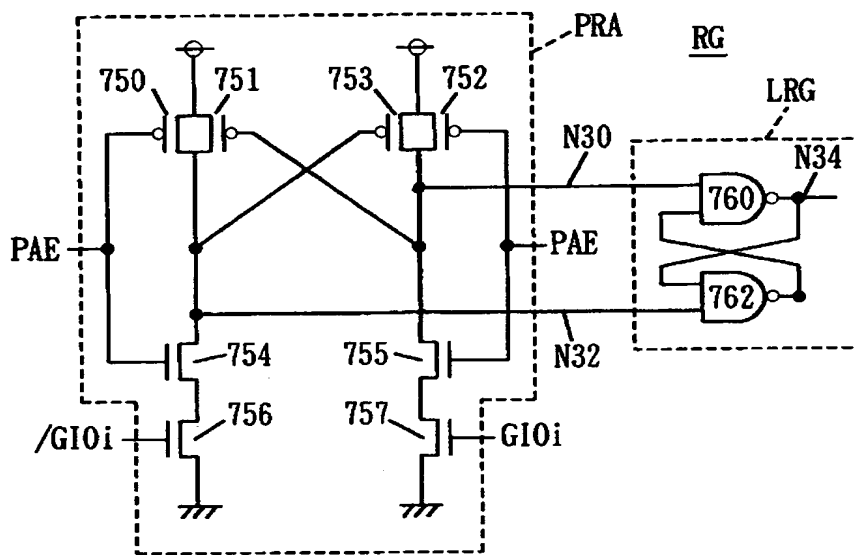
【図7】

機 能	/CS	/RAS	/CAS	/WE	DQM
行アドレスストロープかつアレイ活性化	L	L	H	H	-
列アドレスストロープかつ読出	L	H	L	H	-
列アドレスストロープかつ書込	L	H	L	L	-
プリチャージ/セルフリフレッシュ終了	L	L	H	L	-
リフレッシュ/セルフリフレッシュ開始	L	L	L	H	-
モードレジスタセット	L	L	L	L	-
ライトイネーブル/出カイネーブル	-	-	-	-	L
ライトマスク/出カディスエーブル	-	-	-	-	H
動作変化なし	L	H	H	H	-
/RAS ,/CAS ,/WE 無視	H	X	X	X	-

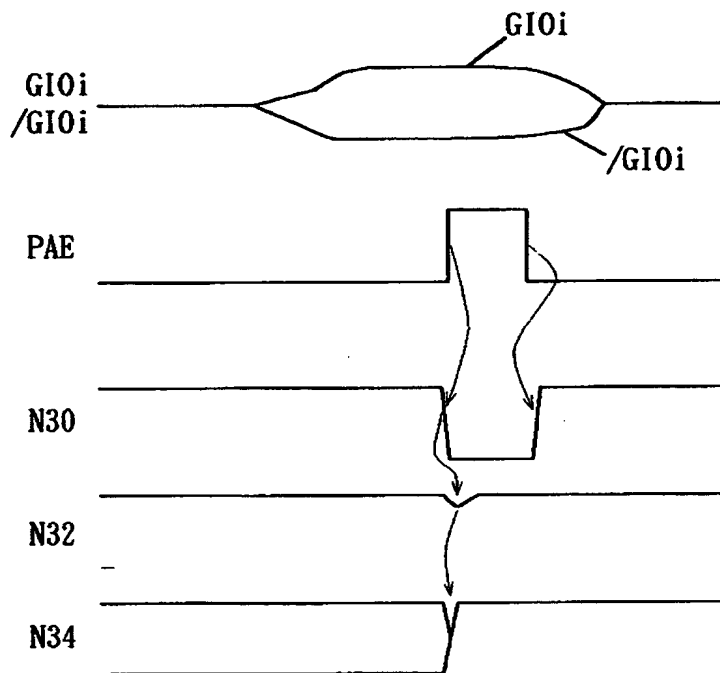
【図 8】



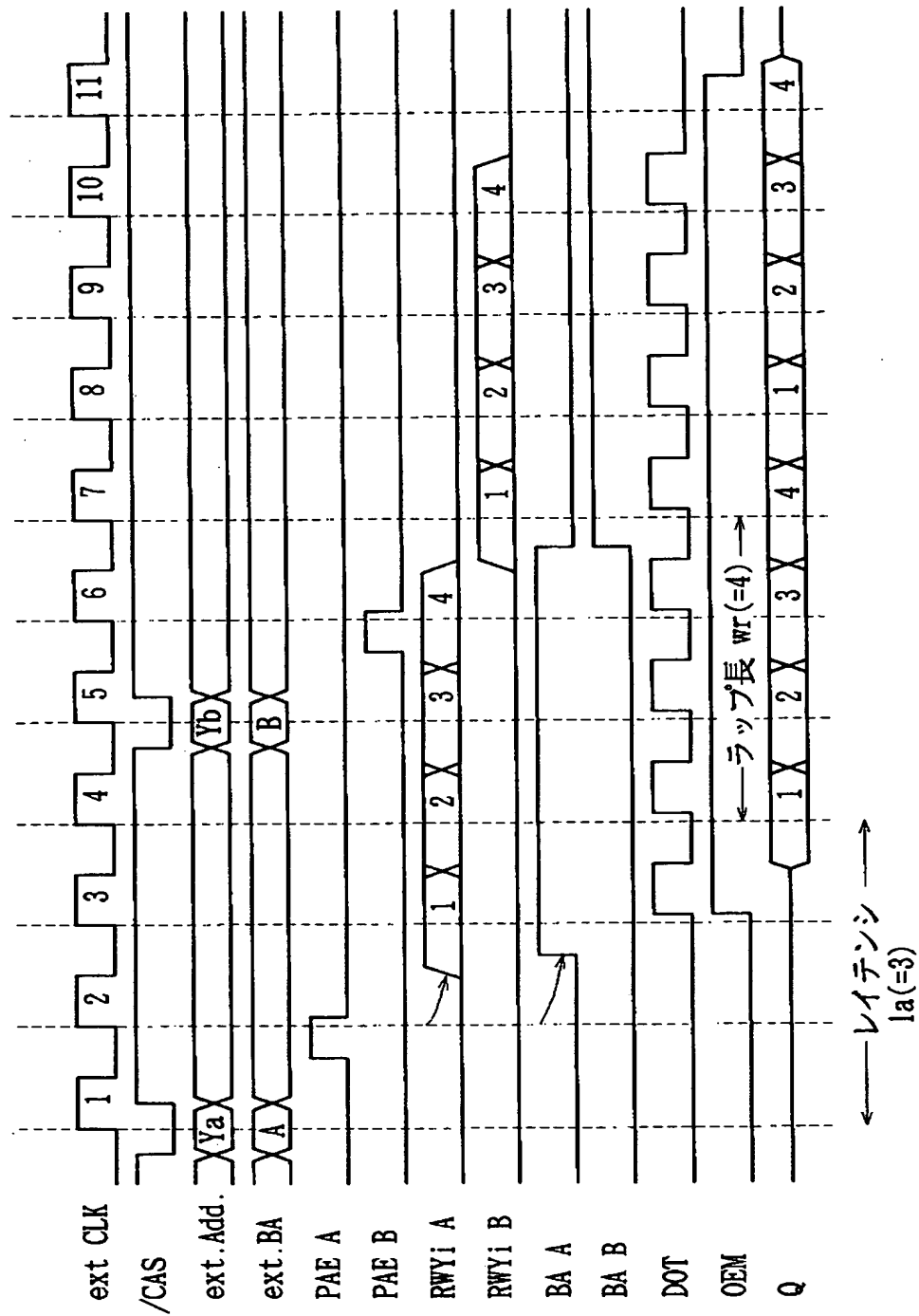
【图9】



【图10】

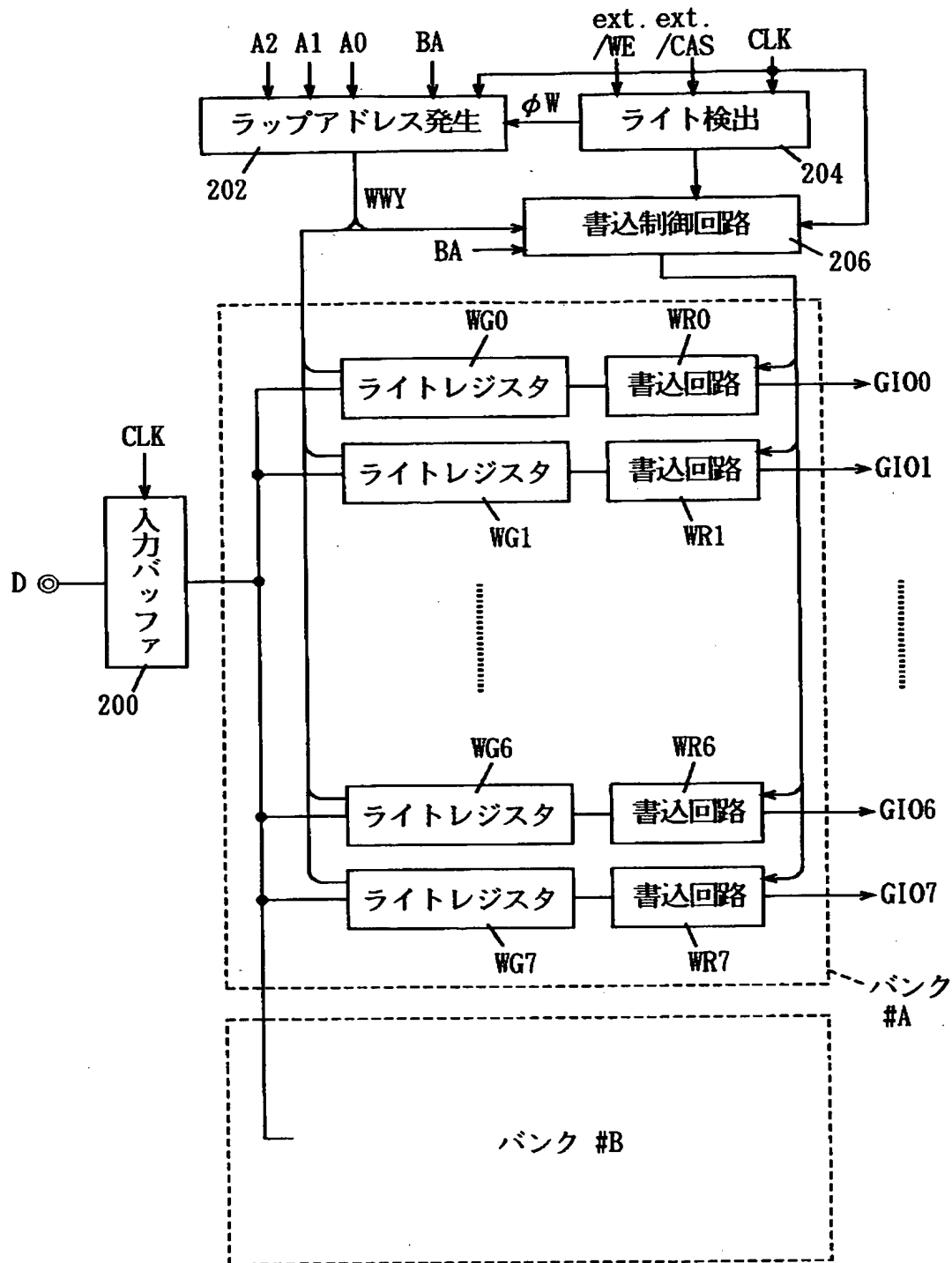


【図 1 1】

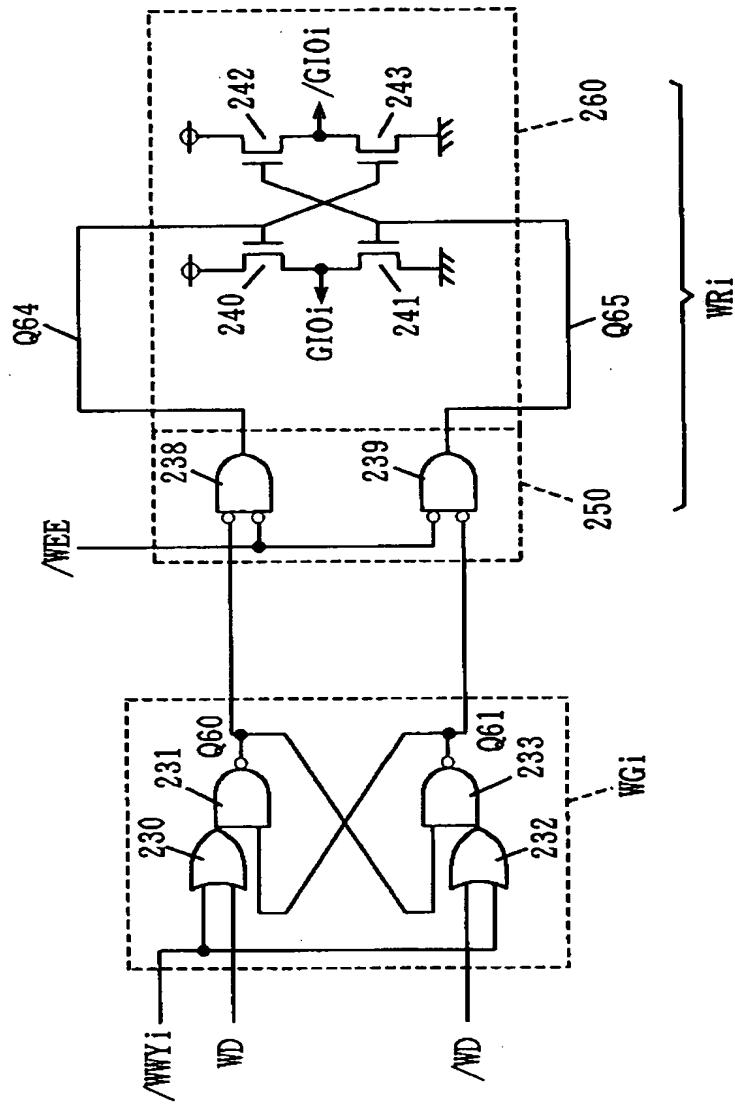




【図13】

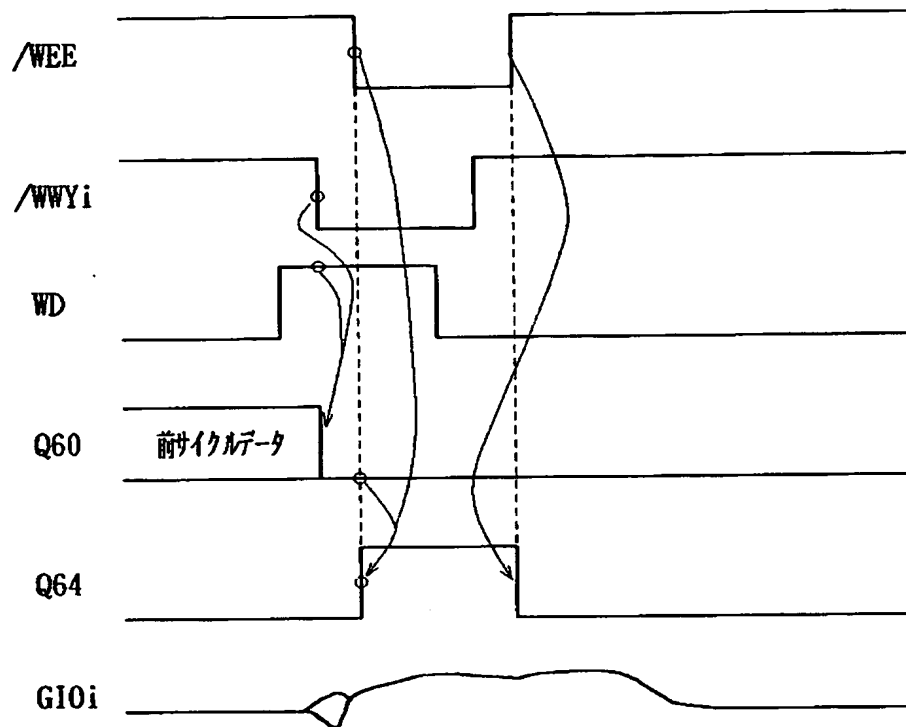


【图 14】

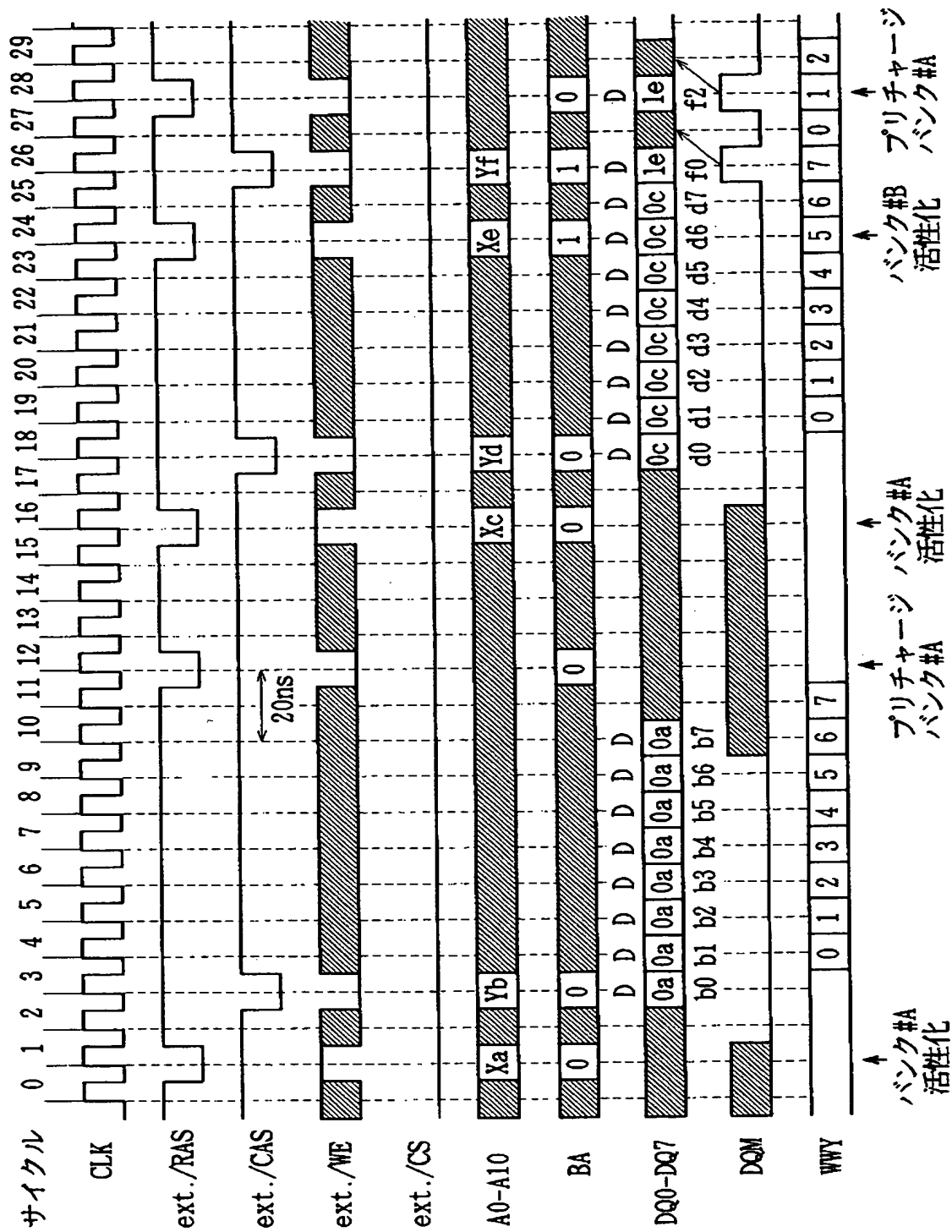




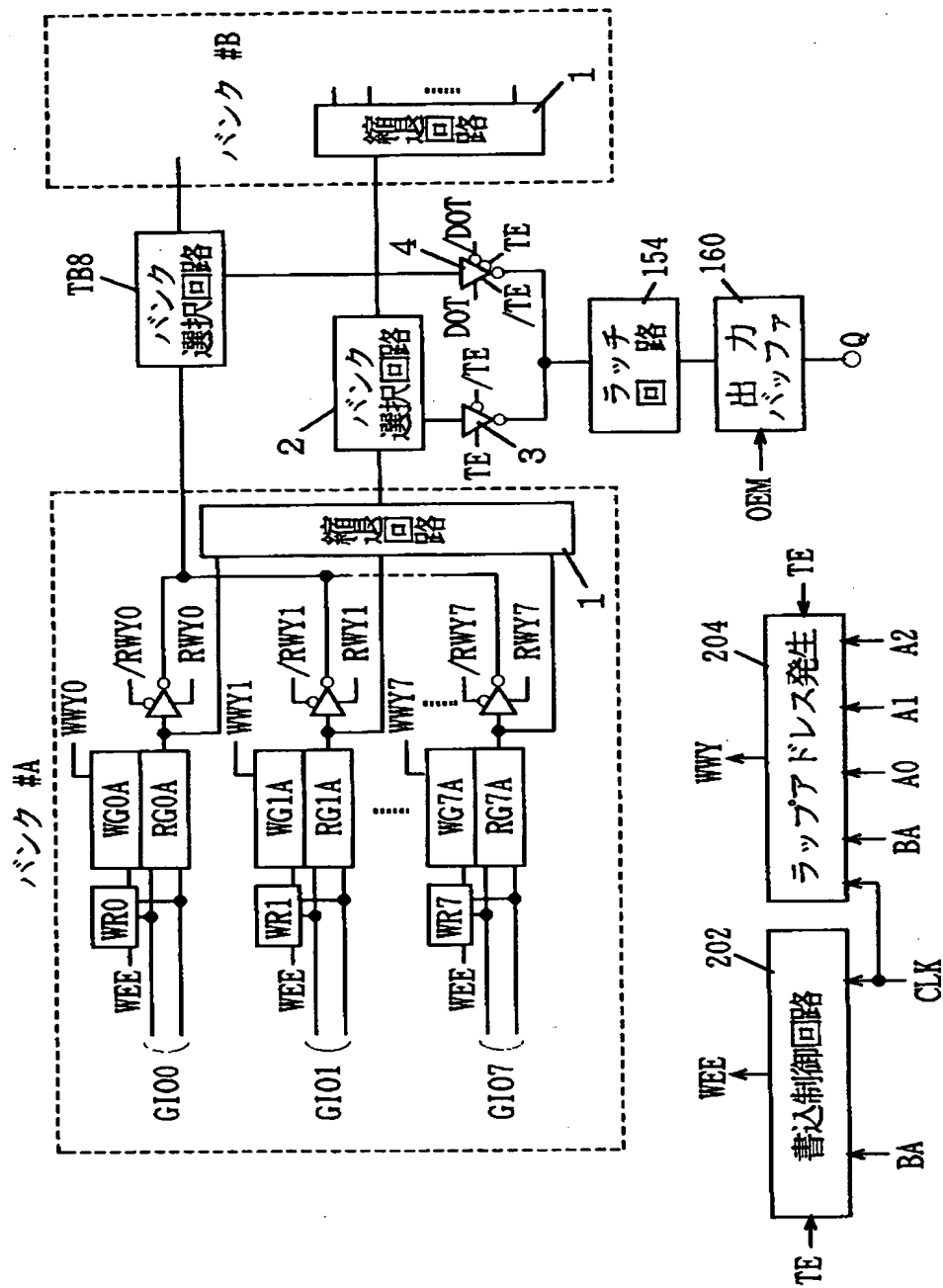
【図15】



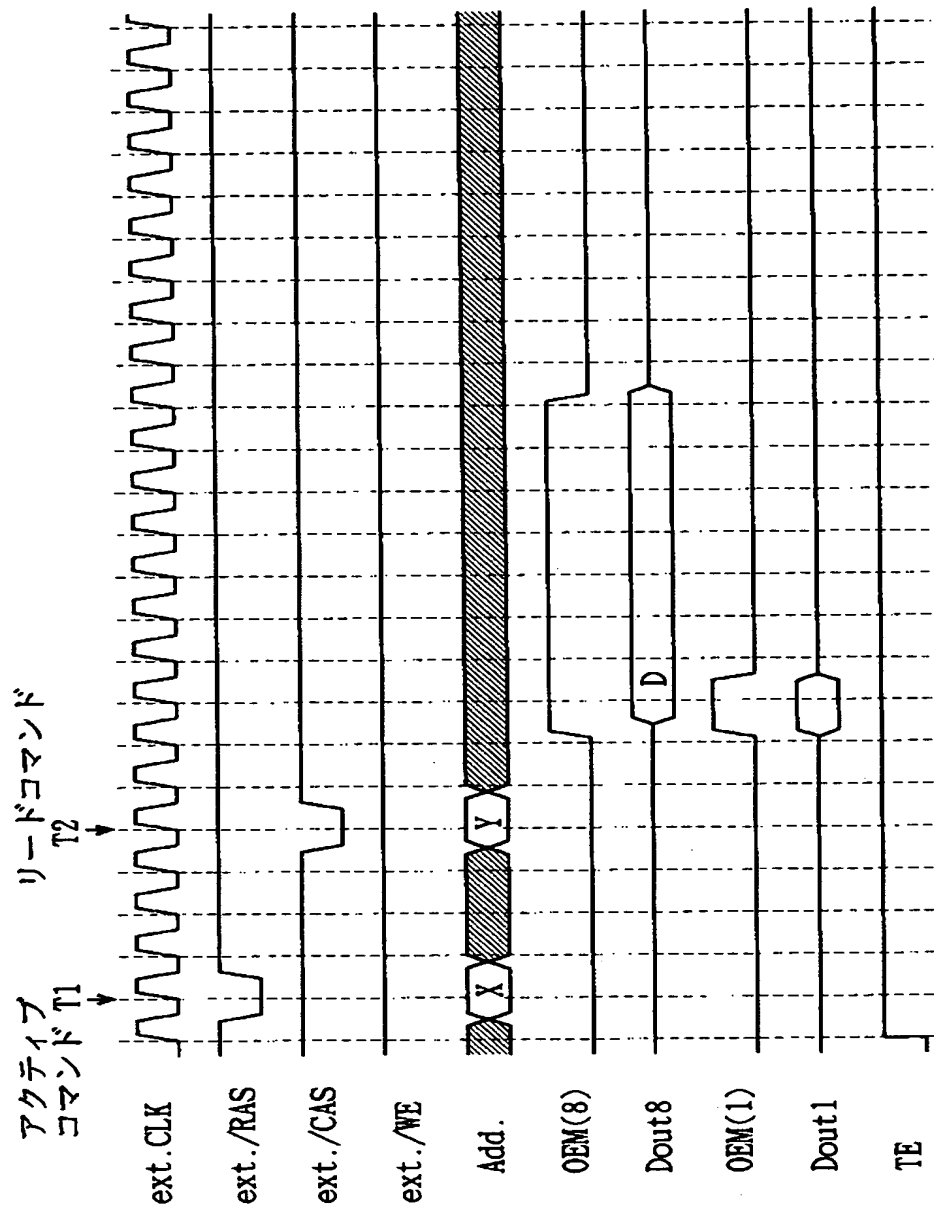
【図 16】



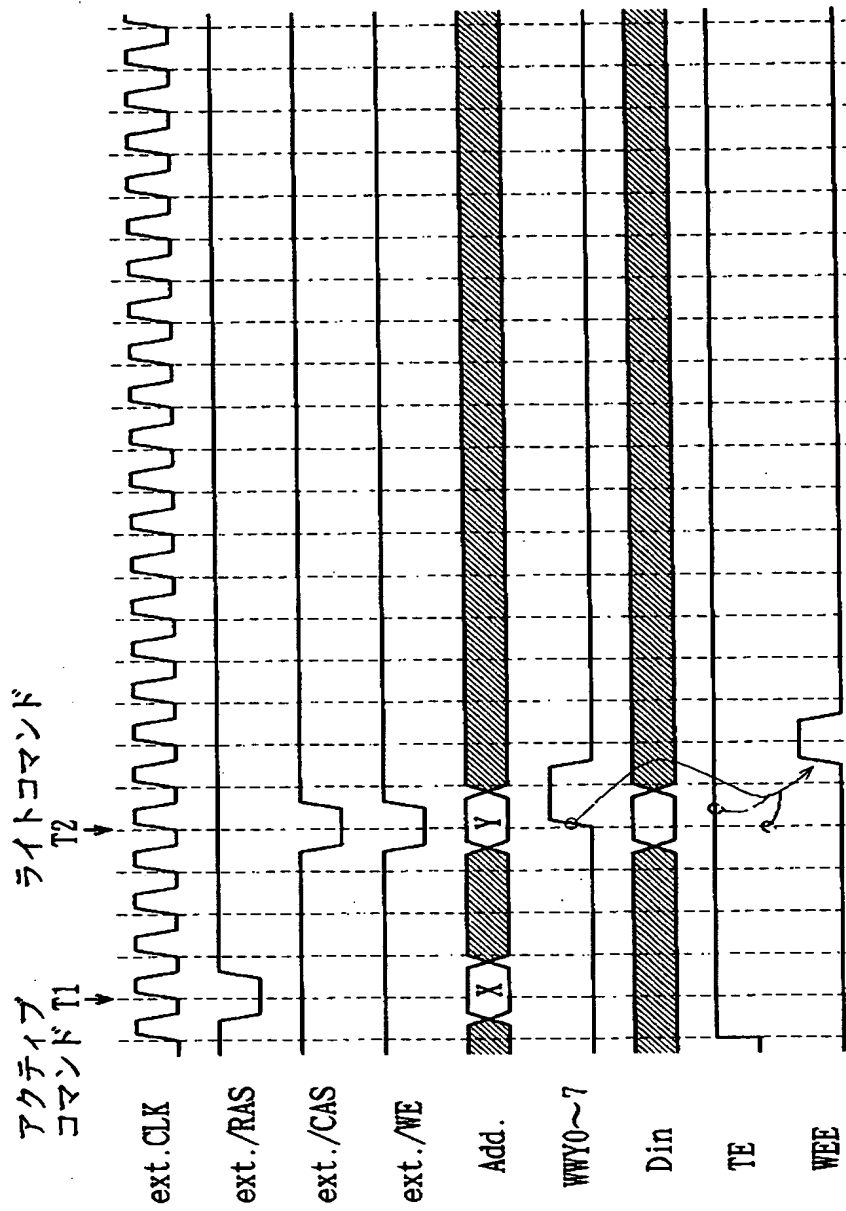
【図 17】



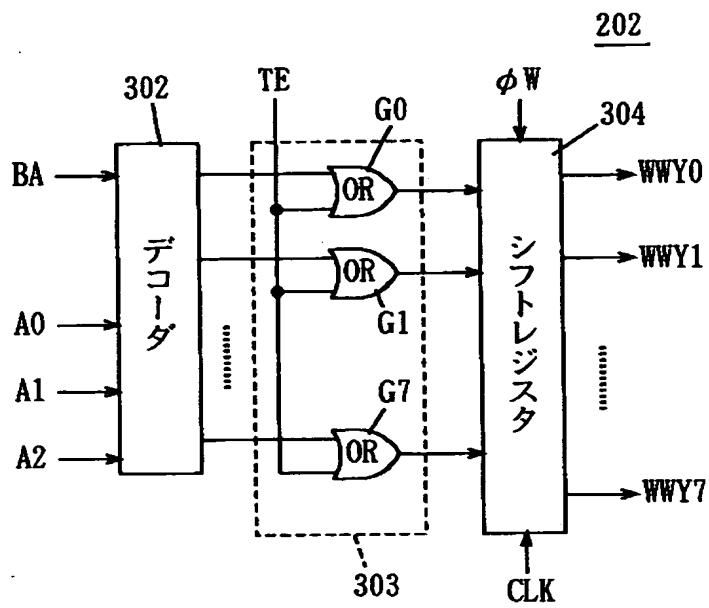
【図18】



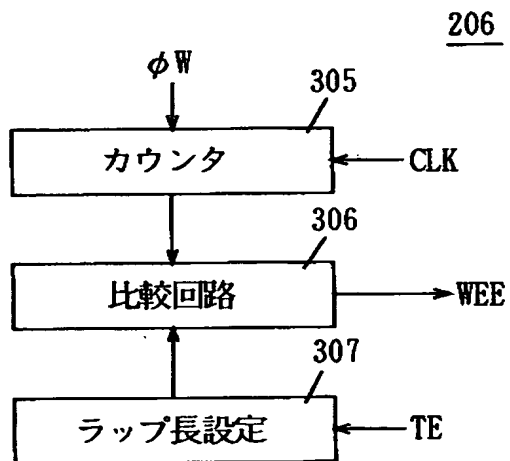
【図19】



【図20】

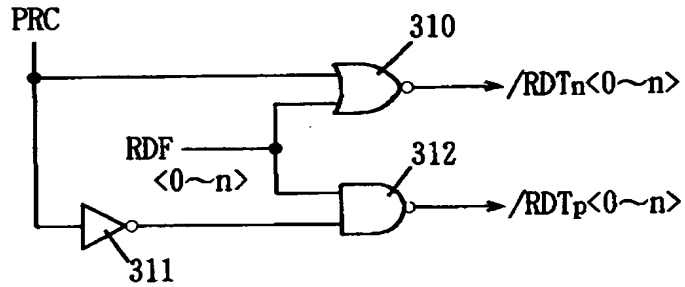


【図21】

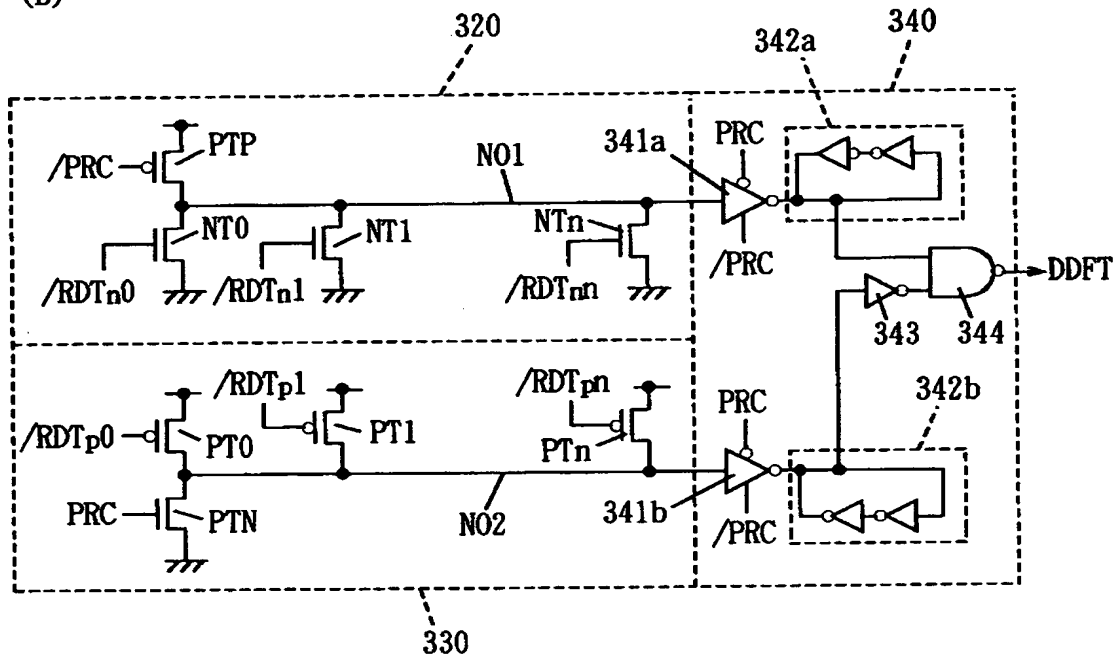


【図22】

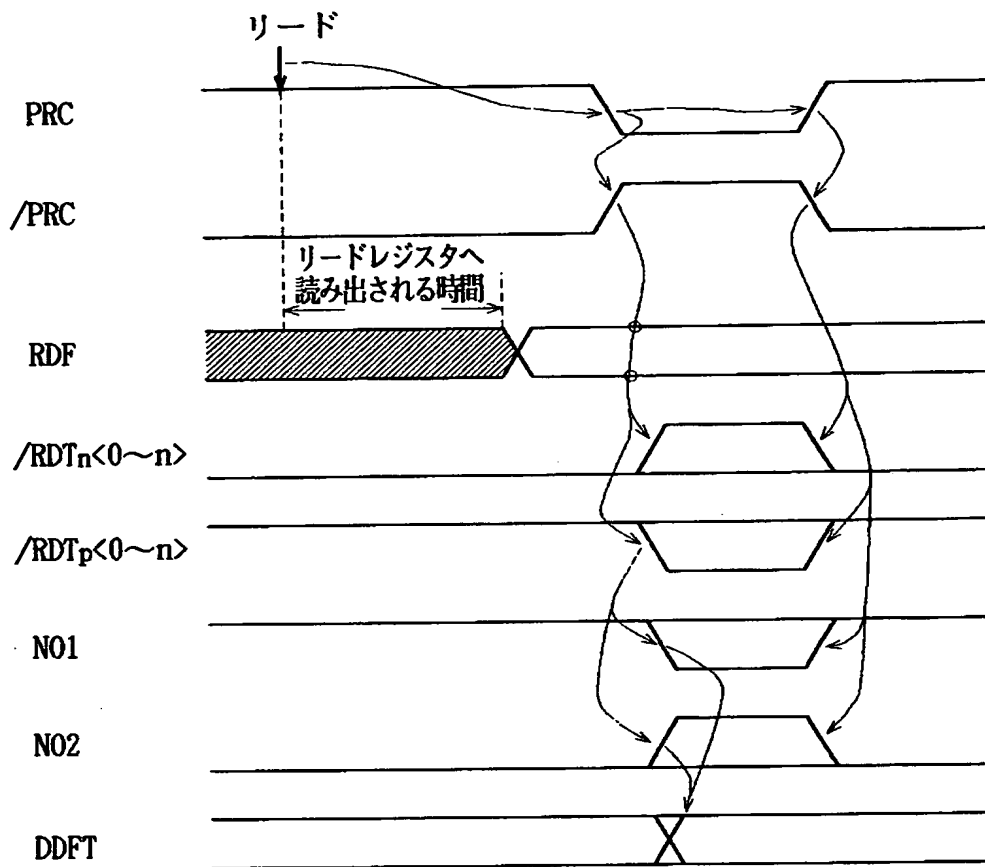
(A)



(B)



【図 2 3】

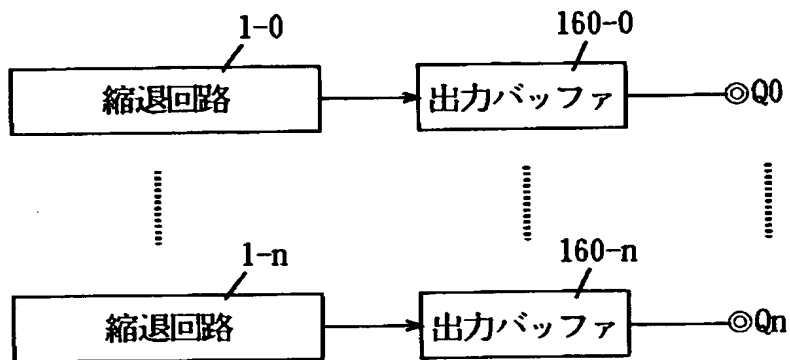


【図 2 4】

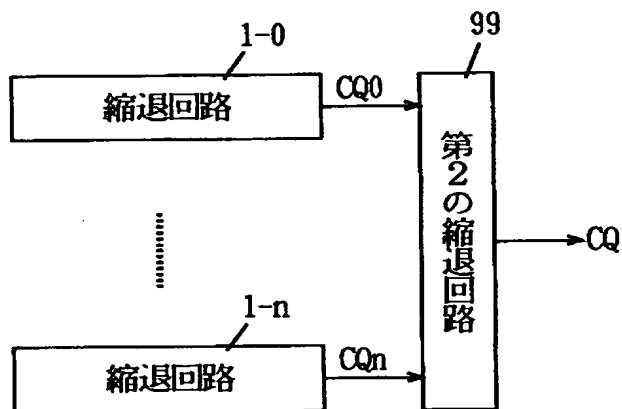
	/RDT N/P <0:7>	NO1	NO2	DDFT	判 定
プリチャージ	L/H	H	L	-	-
全て "H"	L	H	H	H	パ ス
全て "L"	H	L	L	H	
"H", "L" の混在	H & L	L	H	L	フェイル



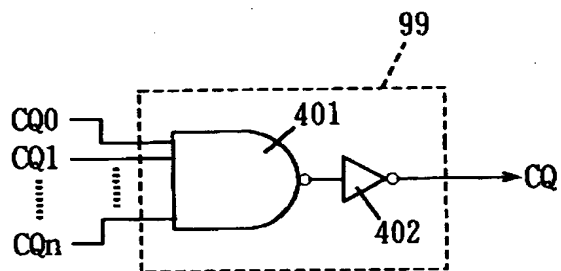
【図25】



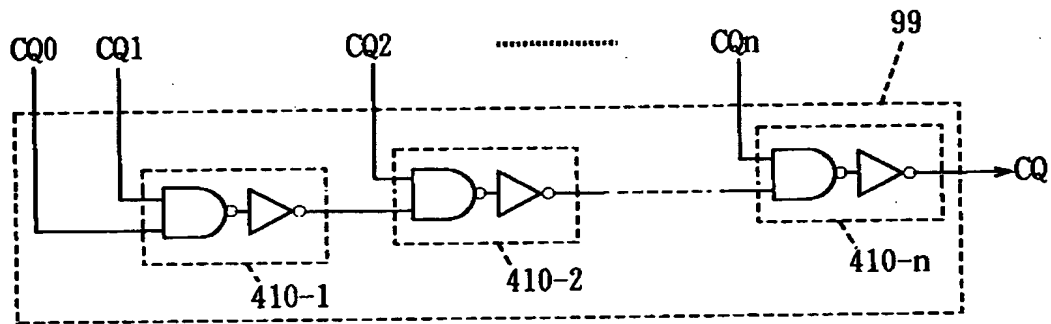
【図26】



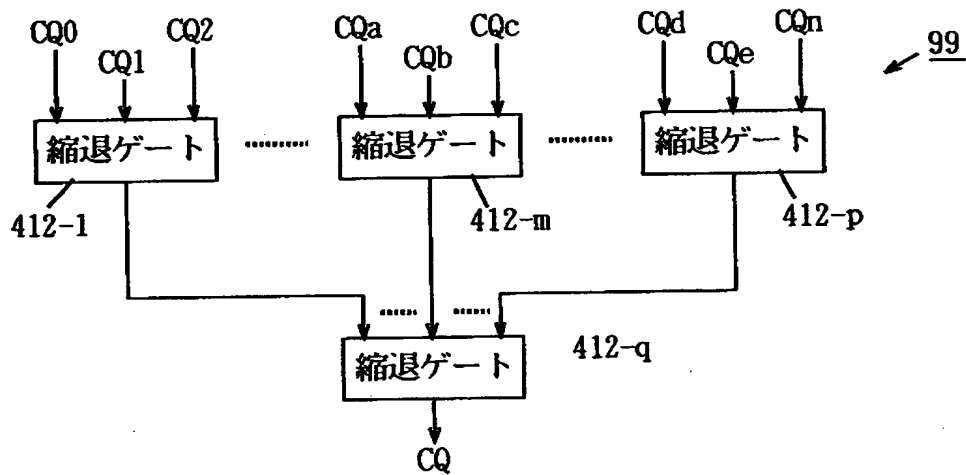
【図27】



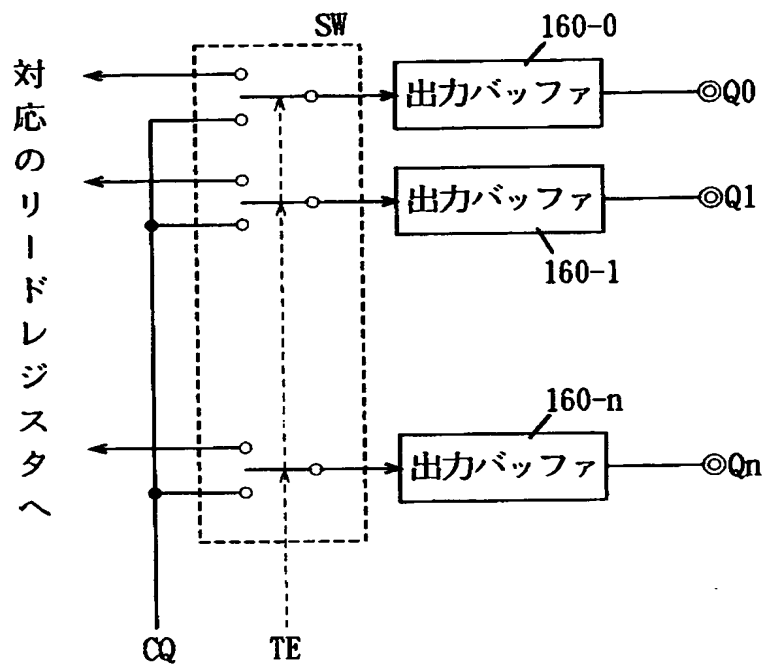
【図28】



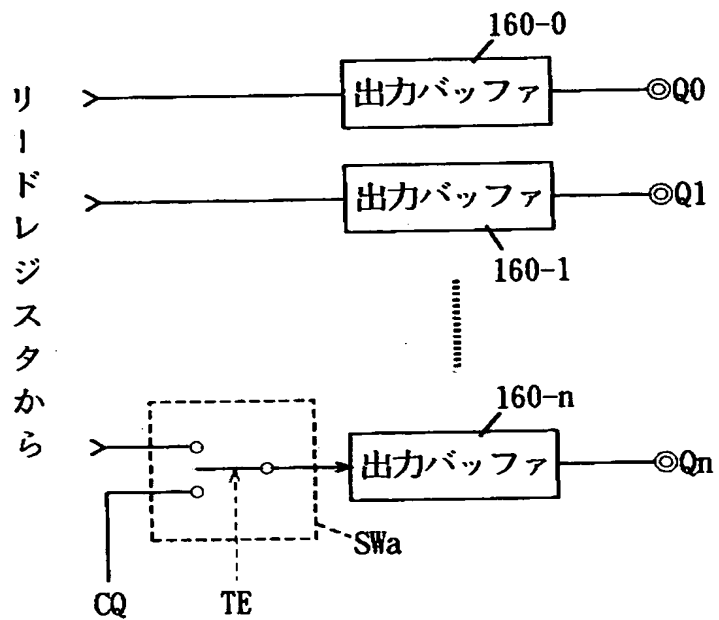
【図29】



【図30】

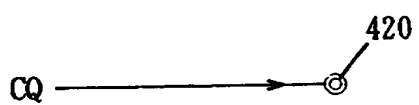


【図31】

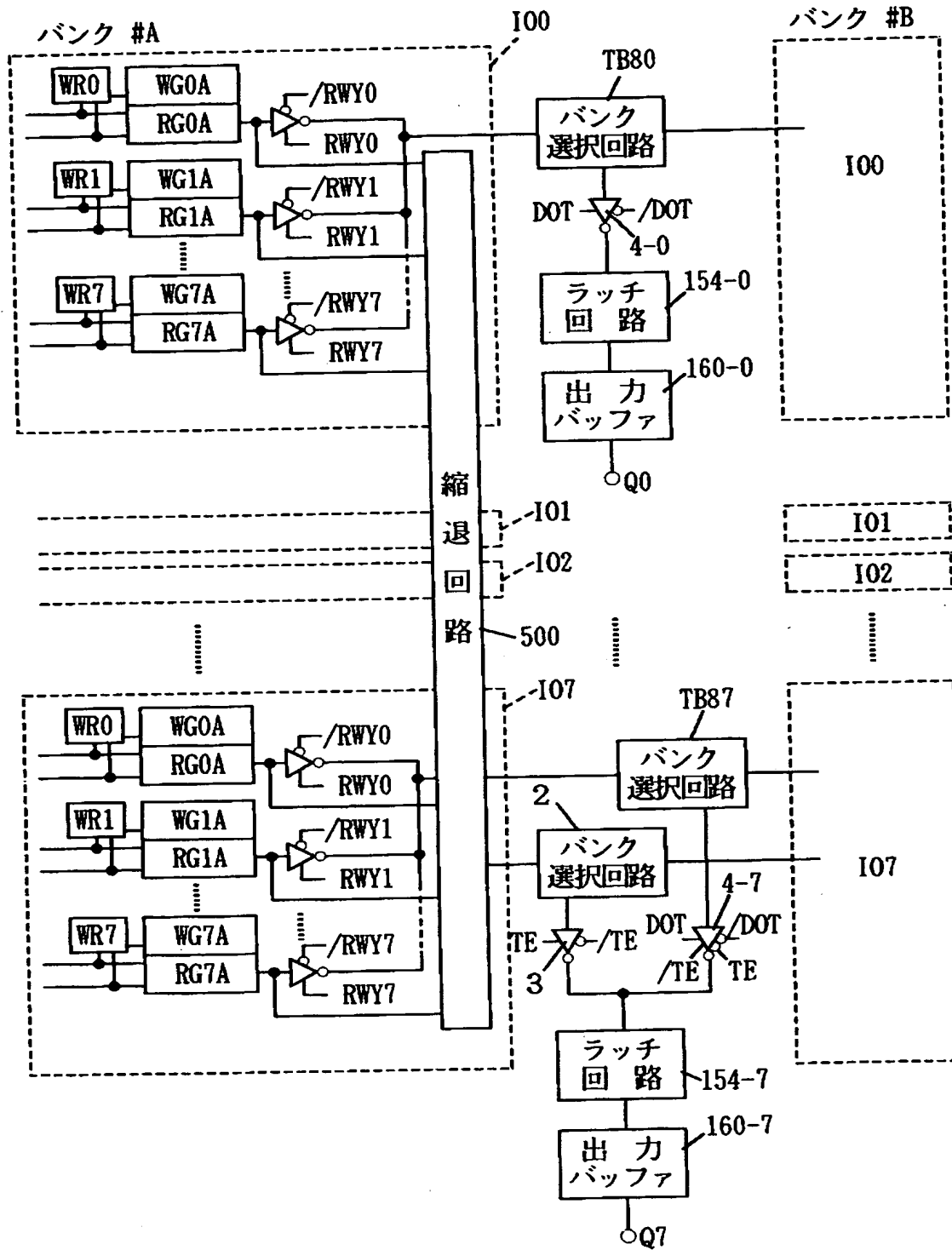


0 5 — 1 2 2 4 3 9

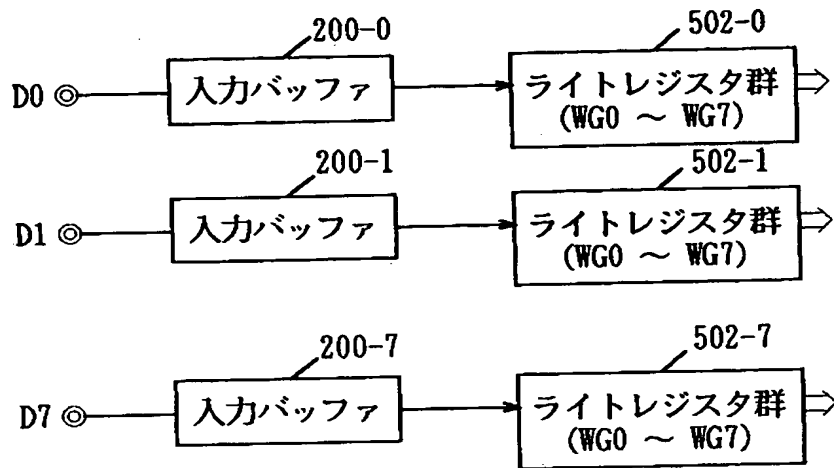
【图 3 2】



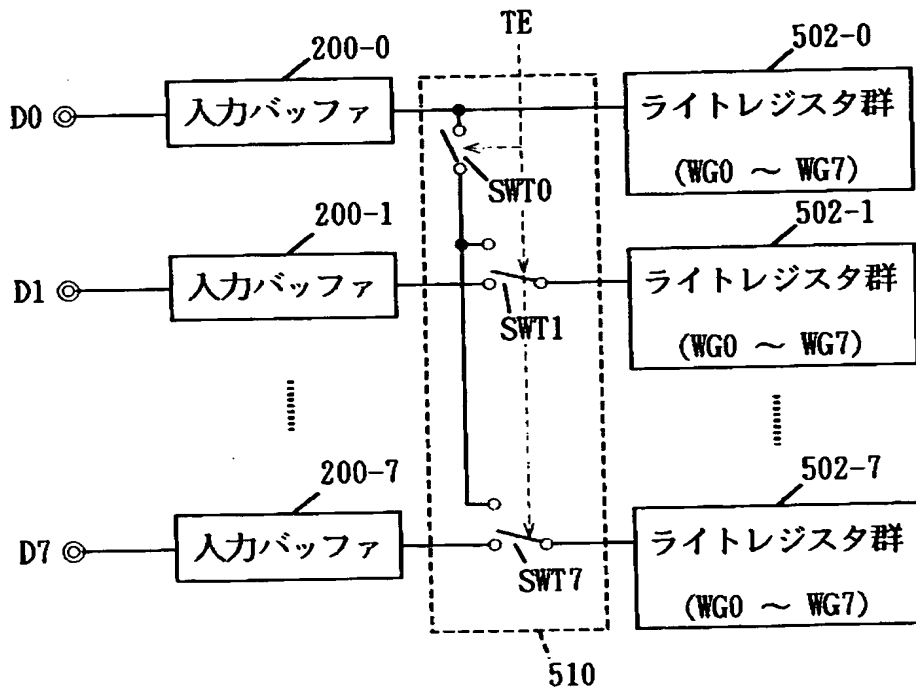
【図33】



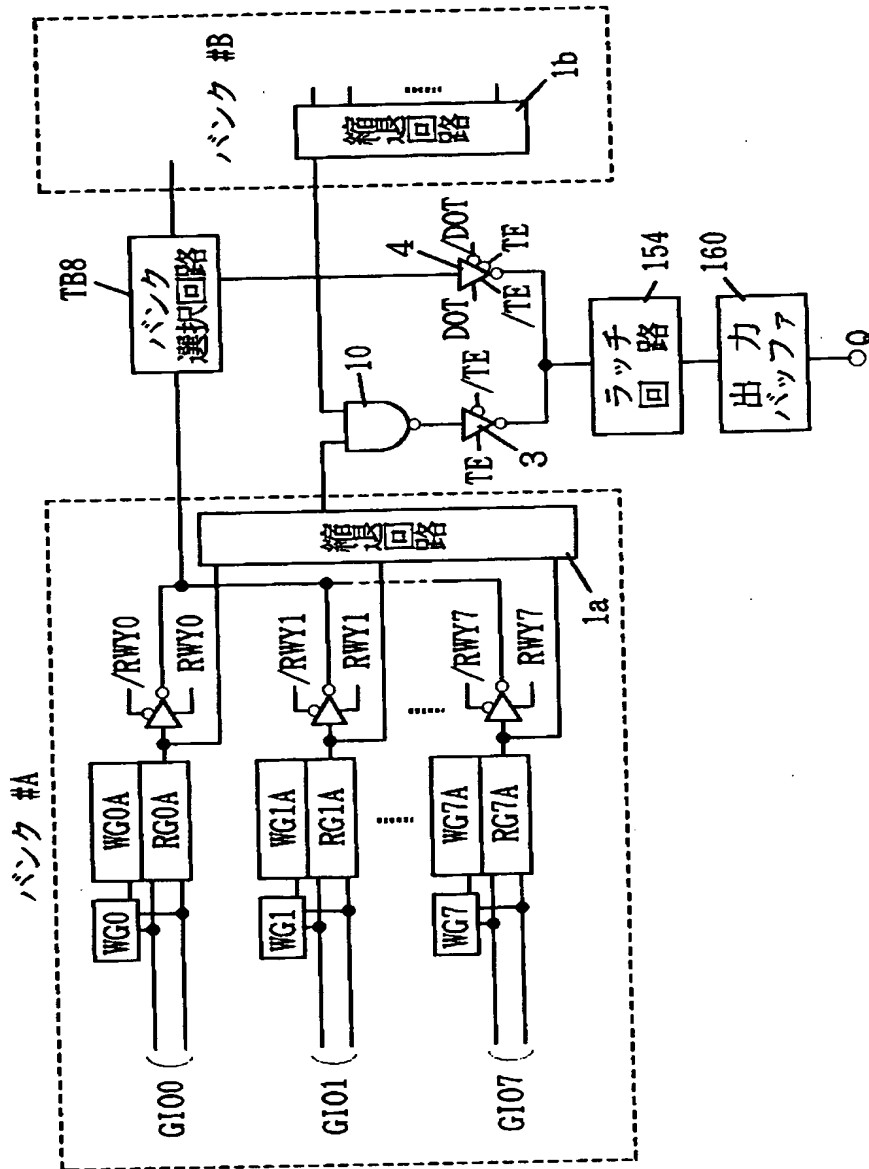
【図34】



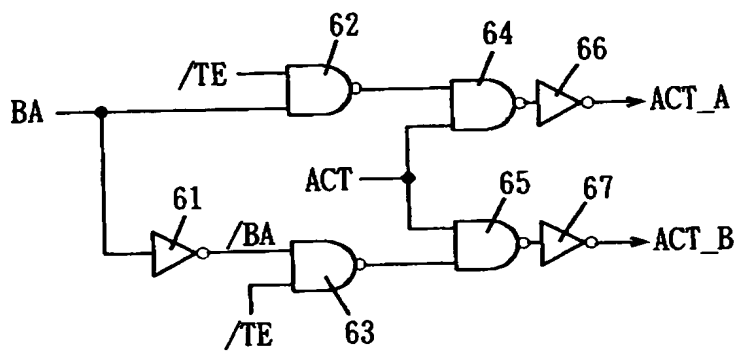
【図35】



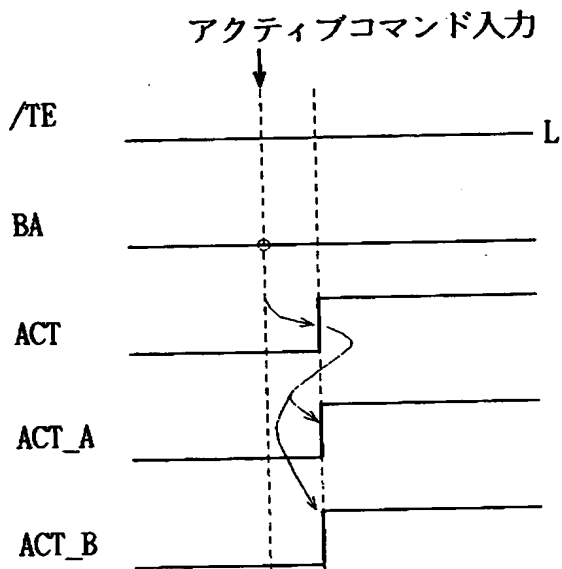
【図36】



【図 3 7】

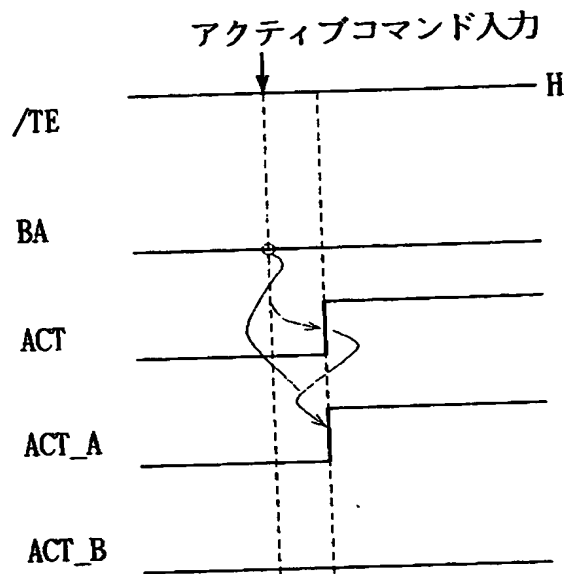


【図 3 8】





【図 39】



【書類名】 要約書

【要約】

【目的】 SDRAMのテスト時間を短縮する。

【構成】 縮退回路（１）はデータ出力端子（Ｑ）に対して設けられた複数のリードレジスタ（ＲＧ０Ａ～ＲＧ７Ａ）に読込まれた複数のメモリセルデータを１ビットデータに縮退する。バンク選択回路（２）はバンク＃Ａおよびバンク＃Ｂの一方の縮退回路１の出力を選択する。三状態インバータバッファ（３）はテストモード指示信号（ＴＥ）に従ってこのバンク選択回路２により選択され１ビット縮退データを通過させる。データ出力端子には、複数ビットのメモリセルのデータが縮退されて出力される。これにより複数のメモリセルのパス／フェールを一度に判別することができ、テスト時間を短縮することができる。

【選択図】 図１７

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社